

# McDermott Will & Emery

Boston Brussels Chicago Düsseldorf London Los Angeles Miami Milan  
Munich New York Orange County Rome San Diego Silicon Valley Washington, D.C.

**FACSIMILE****Date:** September 14, 2007**Time Sent:**

---

<b>To:</b>	<b>Company:</b>	<b>Facsimile No:</b>	<b>Telephone No:</b>
Ms. Karen Creasy	USPTO - Petitions Branch	571-273-0025	

---

<b>From:</b>	Michael E. Fogarty	<b>Direct Phone:</b>	202.756.8372
<b>E-Mail:</b>	mfogarty@mwe.com	<b>Direct Fax:</b>	202.756.8087
<b>Sent By:</b>	Constance Collins	<b>Direct Phone:</b>	202.756.8659
<b>Client/Matter/Tkpr:</b>	060188-0780	<b>Original to Follow by Mail:</b>	No
		<b>Number of Pages, Including Cover:</b>	

---

**Re:** Application Serial No.: 10/797,245  
Group Art Unit: 2838  
Allowed: June 18, 2007

---

**Message:**

This is a Petition under 37 C.F.R. 1.313(c) for the withdrawal of this application from issue.

**PLEASE CONFIRM RECEIPT BY RETURN FACSIMILE  
THANK-YOU.**

---

The information contained in this facsimile message is legally privileged and confidential information intended only for the use of the individual or entity named above. If the reader of this message is not the intended recipient, you are hereby notified that any dissemination, distribution, or copy of this facsimile is strictly prohibited. If you have received this facsimile in error, please notify us immediately by telephone and return the original message to us at the below address by mail. Thank you.

**IF YOU DO NOT RECEIVE ALL OF THE PAGES, PLEASE CALL CONSTANCE COLLINS AS SOON AS POSSIBLE.**

Main Facsimile: 202.756.8087 Facsimile Operator: 202.756.8090

U.S. practice conducted through McDermott Will & Emery LLP.  
600 Thirteenth Street, N.W. Washington, D.C. 20005-3096

Telephone: 202.756.8000

R、G、Bの画素で異ならせることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。RGBの各画素で、EL材料に適応して、もともと最適な期間を設定する。なお、実施例において、この期間は1H以上5H以下にするとして、黒挿入（黒画面を書き込む）を主とする駆動方式では、5H以上であってよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

第33図(a)に示す状態を実施後、1H以上5H以下の期間において、第33図(b)に示す状態にする。第33図(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。第33図(b)に示す状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流Iwを出力（あるいは吸収）し、このプログラム電流Iwを駆動用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

もし、プログラム電流Iwが0(A)であれば、トランジスタ11aは第33図(a)に示す電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第33図(b)に示す状態で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生しているときでも、黒表示状態のオフセット電圧から電流プログラムを完全に行うことができる。したがって、目標の電流値にプログラムされる時間が増減に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる増減誤差がなく、良好な黒表示を実現できる。

第33図(b)に示す状態の電流プログラミング後、第33図(c)に図示するように、トランジスタ11bとトランジスタ11cとをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aから

のプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。第33図(c)に関しても、第1図などで以前に説明したので詳細は省略する。

つまり、第33図で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間とを切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子（もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子）との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、第32図の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておく必要はない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）、次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。第33図(a)に示すリセットが完全に行われるのに比較的時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行も含めると6画素行）となるはずである。

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ず

WO 03/077998

PCT/JPO2006/064

81

つ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間(1単位)に、画素行(1)(2)(3)(4)をリセット状態にし、次の第2の水平走査期間に、画素行(3)(4)(5)(6)をリセット状態にし、さらに次の第3の水平走査期間に、画素行(5)(6)(7)(8)をリセット状態にする。また、次の第4の水平走査期間に、画素行(7)(8)(9)(10)をリセット状態にするという駆動状態が例示される。なお、当然、第33図(b)、第33図(c)に示す駆動状態も第33図(e)に示す駆動状態と同期して実施される。

また、1画面の画素すべてを同時に走査状態では走査状態でリセット状態にしてから、第33図(b)、(c)に示す駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態(1画素行あるいは複数画素行の飛び越し走査)で、リセット状態(1画素行あるいは複数画素行飛び越し)にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない、たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

なお、第33図に示すリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に第22図に示す構成は、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオン動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、第22図に示した構成あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説

WO 03/077998

PCT/JPO2006/068

82

明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせることで実施することができる。言うまでもない。

第34図はリセット駆動を実現する表示装置の構成図である。ゲートドライバ12aは、第32図におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

したがって、ゲート信号線17aはゲートドライバ12aで操作し、ゲート信号線17cはゲートドライバ12bで操作する。そのため、トランジスタ11bをオンさせて駆動用トランジスタ11aをリセットするタイミングと、トランジスタ11cをオンさせて駆動用トランジスタ11aに電流プログラムを行うタイミングとを自由に設定できる。なお、第34図において341aは出力段回路を示している。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

第35図はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、トランジスタ11aをオンさせ、駆動用トランジスタ11aをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、トランジスタ11dをオフ状態にしている。したがって、第32図(a)の状態となっている。この期間に電流11bが流れる。

第35図に示すタイミングチャートでは、リセット時間は2H(ゲート信号線17aにオン電圧が印加され、トランジスタ11bがオンす

る)としているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってよい。また、リセット期間を何H期間にするかはゲートドライバ112に入力するDATA (ST) パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

10 1H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流Iwがトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

15 電流プログラム後、画素行(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線18と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される(なお、この期間には、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、画素行(1)と同様であり、また、第35図からその動作は明らかであるから説明を省略する。

20 第35図において、リセット期間は1H期間であった。第36図はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ112に入力するDATA (ST) パルス期間で容易に変更できる。第36図ではゲートドライバ12aのST1端子に入力するDATAを5H期間の間Hレベルとし、各ゲート信号線17aから

出力されるリセット期間を5H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分だけ表示輝度が低下することになる。

5 第36図はリセット期間を5Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線17aから出力される信号を1Hごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路(図示せず)を操作することにより容易に実現できる。また、ゲートドライバ112に入力するDATA (ST) パルスを制御することで容易に実現できる。

10 第34図に示す回路構成では、ゲートドライバ12aは少なくとも2つのシフトレジスタ回路(1つはゲート信号線17aの制御用、他の1つはゲート信号線17bの制御用)が必要であった。そのため、ゲートドライバ12aの回路規模が大きくなるという課題があった。第37図はゲートドライバ12aのシフトレジスタを1つにした実施例である。第37図に示す回路を動作させた出力信号のタイミングチャートは第35図に示すようになる。なお、第35図と第37図とはゲートドライバ12a、12bから出力されているゲート信号線17の記号が異なっているもので注意が必要である。

20 第37図に示す構成にはOR回路371が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ回路61aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ回路61aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

25 たとえば、シフトレジスタ回路61aの2番目にHレベル信号が出力されているとき、図素16(1)のゲート信号線17cにオン電圧が出力

WO 03/027998

PCT/JPO02/00468

86

第39図(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子とはショート状態となり、図に示すように電流11bが流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eをオフ状態とし、トランジスタ11dをオン状態にすれば、駆動電流11bがトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、第51図などで説明する電圧オフセットキャンセル方式のオフセット電圧を保持した状態と等価である。つまり、第39図(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる)が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値となる。したがって、第39図(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない(つまり、黒表示電流(ほとんど0に等しい)状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされる))。

PCT/JPO02/09568

WO 03/027998

85

力され、画素16(1)が電流(電圧)プログラムの状態となる。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のトランジスタ11bがオン状態となり、画素16(2)の駆動用トランジスタ11aがリセットされる。

5 同様に、シフトレジスタ回路61aの3番目にHレベル信号が出力されているとき、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16(2)が電流(電圧)プログラムの状態となる。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)トランジスタ11bがオン状態となり、画素16(3)駆動用トランジスタ11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

10 プログラム状態のときは、トランジスタ11bとトランジスタ11cとが同時にオン状態となる(第33図(b))ため、非プログラム状態(第33図(c))に移行する際、トランジスタ11cがトランジスタ11bよりも先にオフ状態となると、第33図(b)のリセット状態となってしまう。これを防止するためには、トランジスタ11cをトランジスタ11bよりもあとからオフ状態にする必要がある。そのため、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

20 以上の実施例は、第32図(基本的には第1図)に示す画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、第38図に示すようなカレントミラーの画素構成であっても実施することができる。なお、第38図ではトランジスタ11eをオンオフ制御することにより、第13図、第15図などで図示するN倍パルス駆動を実現できる。第39図は第38図のカレントミラーの画素構成での実施例の説明図である。以下、第39図を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

なお、第33図(a)においても第33図(a)と同様に、リセットの実施時間を長くするほど、Ib電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第39図(e)の実施時間は固定値にする必要がある。発明者等の実験および検討によれば、第39図(e)の実施時間は、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは第33図に示す駆動方式でも同様である。

第33図(a)も同様であるが、第39図(a)に示すリセット状態と、第39図(b)に示す電流プログラム状態とを同期をとって行う場合は、第39図(a)に示すリセット状態から、第39図(b)に示す電流プログラム状態までの期間が固定値(一定値)となるから問題は無い(固定値にされている)。つまり、第33図(a)あるいは第39図(e)に示すリセット状態から、第33図(b)あるいは第39図(b)に示す電流プログラム状態までの期間が、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは、20μsec以上2msec以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに最時間を要するようになる。また、画面50の輝度も低下する。

第39図(a)を実施後、第39図(b)に示す状態にする。第39図(b)はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態を示している。第39図(b)の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流Iwを出力(あるいは吸収)し、このプログラム電流Iwを電流プログラム用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11bのゲート

(G) 端子の電位をコンデンサ19に設定するのである。

もし、プログラム電流Iwが0(A)(黒表示)であれば、トランジスタ11bは第33図(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第39図(b)で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電流プログラムを完全に行う。したがって、目標の電流値にプログラムされる時間が階層に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階層誤差がなく、良好な画像表示を実現できる。

第39図(b)の電流プログラミング後、第39図(c)に示すように、トランジスタ11cとトランジスタ11dとをオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。第39図(c)に関しても、以前に説明をしたので詳細は省略する。

第33図、第39図で説明した駆動方式(リセット駆動)は、駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15との間を切断(電流が流れない状態、トランジスタ11eあるいはトランジスタ11dで行う)し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一時的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15との間を切断するという動作は、必ずしも必須の条件ではない。もし、第1の動作における駆動用トランジ

スタ11aあるいはトランジスタ11bとEL素子15との間を切断せずに、駆動用トランジスタのドレイン(D)端子とゲート(G)端子との間をショートする第1の動作を行っても多少のリセット状態のパラジキが発生する程度で済む場合があるからである、これは、作製したアレイのトランジスタ特性を検討して決定する。

第39図に示すカレントミラーの画面構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ11bをリセットする駆動方法であった。

第39図に示すカレントミラーの画面構成において、リセット状態では、必ずしも駆動用トランジスタ11aとEL素子15との間を切断する必要はない、したがって、電流プログラム用トランジスタaのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート(G)端子を含む2端子、あるいは駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムを行われる画面行は、リセット状態(黒表示状態)になり、所定H後に電流プログラムが行われる、画面の上から下方方向に、黒表示の画面行が移動し、この画面行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画面構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画面構成にも適用することができる、第43図は電圧プログラムの画面構成におけるリセット駆動を実施するための本発明の画面構成(パナール構成)の説明図である。第43図の画面構成では、駆動用トランジスタ11aをリセット動作

させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子との間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、第44図を参照しながら、電圧プログラムの画面構成における本発明のリセット駆動方式について説明をする。

第44図(a)に図示するように、トランジスタ11bとトランジスタ11dとをオフ状態にし、トランジスタ11eをオン状態にする、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子とはショート状態となり、図に示すように電流15が流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子が同一電位となり、駆動用トランジスタ11aはリセット(電流を流さない状態)になる。なお、トランジスタ11aをリセットする前に、第33図あるいは第39図で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、第44図(a)に示す動作を実施する。

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、第41図などで説明した電圧オフセットキヤンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第44図(a)の状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値となる。つまり、第44図(a)の動作を実施することにより、各画面のコンデンサ19には駆動用トランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんどに等しい)状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされる))。

なお、電圧プログラムの画素構成においても、電圧プログラムの画素構成と同様に、第44図(a)のリセットの実施時間を長くするほど、Ib電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第44図(e)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下にすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをシヨート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素行の駆動用トランジスタ11aのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下になる。着目する画素行を(N)画素行とし、そのゲート信号線をゲート信号線17e(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行を(N-1)画素行とし、そのゲート信号線をゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行を(N+1)画素行とし、そのゲート信号線をゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

第(N-1)H期間では、第(N-1)画素行のゲート信号線17e(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがシヨート状態で形成されているからである。したがって、第(N-1)画素行の画素のトラ

ンジスタ11b(N-1)がオンし、ソース信号線18の電圧が駆動用トランジスタ11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のトランジスタ11e(N)がオンし、駆動用トランジスタ11a(N)のゲート(G)端子とドレイン(D)端子との間がシヨートされ、駆動用トランジスタ11e(N)がリセットされる。

第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のトランジスタ11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N)のゲート(G)端子に書き込まれる。同時に、第(N+1)画素行の画素のトランジスタ11e(N+1)がオンし、駆動用トランジスタ11a(N+1)のゲート(G)端子とドレイン(D)端子との間がシヨートされ、駆動用トランジスタ11e(N+1)がリセットされる。

以下同様に、第(N)H期間の次の第(N+1)H期間において、第(N+1)画素行のゲート信号線17a(N+1)にオン電圧が印加されると、第(N+2)画素行のゲート信号線17e(N+2)にもオン電圧が印加される。したがって、第(N+1)画素行の画素のトランジスタ11b(N+1)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N+1)のゲート(G)端子に書き込まれる。同時に、第(N+2)画素行の画素のトランジスタ11e(N+2)がオンし、駆動用トランジスタ11a(N+2)のゲート(G)端子とドレイン(D)端子との間がシヨートされ、駆動用トランジスタ11e(N+2)がリセットされる。

以上の本発明の前段ゲート制御方式では、1H期間、駆動用トランジスタ11aはリセットされ、その後、電圧(電流)プログラムが実施される。



第33図(a)も同様であるが、第44図(a)のリセット状態と、第44図(b)の電圧プログラム状態とを同期をとって行う場合は、第44図(a)のリセット状態から、第44図(b)の電圧プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。この期間が短いと駆動用トランジスタ11aが完全にリセットされない、また、あまりにも長いと駆動用トランジスタ11aが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面12の輝度も低下する。

第44図(a)に示す状態を実施後、第44図(b)に示す状態にする。第44図(b)はトランジスタ11bをオンさせ、トランジスタ11eとトランジスタ11dとをオフさせた状態である。第44図(b)に示す状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電圧を出かし、このプログラム電圧を駆動用トランジスタ11aのゲート(G)端子に書き込む(駆動用トランジスタ11aのゲート(G)端子の電位をコンデンサ19に設定する)。

なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ11dを必ずしもオフさせる必要はない。また、第13図、第15図などのN倍バルス駆動などと組み合わせること、あるいは以上のような、間欠N/K倍バルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ11eをオンオフ動作させることにより容易に実現できる)を実施する必要がなければ、トランジスタ11eは不要である。このことは以前に説明をしたので、説明を省略する。

第43図に示す構成あるいは第44図の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電圧プログラムを完全に行う、したがって、目標の電流値にプログラムされる時間がほぼ同じに等しくなる。そのため、トランジスタ11aの特性バラツキ

による諸誤差がなく、良好な画像表示を実現できる。

第44図(b)に示す電圧プログラムミニング後、第44図(c)に図示するように、トランジスタ11bをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流をEL素子15に流し、EL素子15を発光させる。

以上のように、第43図の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流す第1の動作と、トランジスタ11aとEL素子15との間を切断し、かつ、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第2の動作と、前記動作の後、駆動用トランジスタ11aに電圧プログラムを行う第3の動作とを実施するものである。

以上の実施例では、駆動用トランジスタ素子11e(第1図の画素構成の場合)からEL素子15に流す電流を制御するのに、トランジスタ11dをオンオフさせて行う。トランジスタ11dをオンオフさせるためには、ゲート信号線17bを走査する必要があり、走査のためには、シフトレジスタ61(ゲート回路12)が必要となる。しかし、シフトレジスタ61は規模が大きく、ゲート信号線17bの制御にシフトレジスタ61を用いたのでは複雑化できない。第40図を参照して説明する方式は、この課題を解決するものである。

なお、本発明は、主として第1図などに図示する電圧プログラムの画素構成を例示して説明をするが、これに限定するのではなく、第38図などで説明した他の電圧プログラム構成(カレントミラーの画素構成)であっても適用できることはいうまでもない。また、プログラムでオンオフする技術的概念は、第41図などの電圧プログラムの画素構成で

あっても適用できることは言うまでもない。また、本発明は、EL素子15に流れる電流を問欠にする方式であるから、第50図などを参照して説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせ実施することができる。

第40図はブロック駆動方式の実施例を示している。まず、説明を容易にするため、ゲートドライバ12は基板71に直接形成したか、もしくはシリコンチップのゲートドライバ12を基板71に積載したとして説明をする。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

第40図において、ゲート信号線17aはゲートドライバ12と接続されている。一方、各画素のゲート信号線17bは点灯制御線401と接続されている。第40図では4本のゲート信号線17bが1つの点灯制御線401と接続されている。

なお、ここでは4本のゲート信号線17bをまとめて1つのブロックとしているがこれに限定されるものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見え易くなる。一方、あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線402のレイアウトが困難になる。

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220/5=44$ 本以上でブロック化する必要がある。好ましくは、 $220/10=22$ 本以上でブロック化する必要がある。ただし、奇数行と偶数行とで2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

第40図の実施例では、点灯制御線401はa、401b、401c、401d、…、401nと順次、オン電圧(V<sub>gl</sub>)を印加するか、もしくはオフ電圧(V<sub>gh</sub>)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、第40図の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とがショートするといった欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見たときの容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

ゲートドライバ12にはゲート信号線17eが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート(G)端子と接続されている。したがって、点灯制御線401にオン電圧(V<sub>gl</sub>)が印加されたとき、駆動用トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧(V<sub>gh</sub>)が印加されたときは、EL素子15のアンロード端子をオープンにする。

なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ12がゲート信号線17aに出力する画素行選択電圧(V<sub>gl</sub>)のタイミングとは1水平走査クロック(1H)に同期して行うことが好ましい。しかし、これに限定するものではない。

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がと

WO 03/027998

PCT/JPO2006/68

97.

れている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、1/2Hでも、1/4Hであってもよい。

第38図に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、第32図において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。この場合、本発明のブロック駆動は、1つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法となる。

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

第41図はその実施例である。なお、説明を容易にするため、画素構成は第1図の場合を主として例示して説明をする。第41図において、ゲート信号線17eは3つの画素（16R、16G、16B）を同時に選択する。なお、Rの記号とは赤色の画素駆動を意味し、Gの記号とは緑色の画素駆動を意味し、Bの記号とは青色の画素駆動を意味するものとする。

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17

WO 03/027998

PCT/JPO2006/68

98

bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bはそれぞれ独立してオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはゲート信号線17bR、17bG、17bBをそれぞれ制御することにより、点灯時間、点灯周期を個別に制御することができる。

この動作を実現するためには、第6図に示す構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61との4つを形成（配置）することが適切である。

なお、ソース信号線18に所定電流のN倍の電流を流すことにより、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実際上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設けられないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL素子15に接続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（第1図を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度

を得るものである。

なお、このコンデンサ19への突き抜けによる補償回路は、ソースド  
ライバ14内に導入する。この事項については後ほど説明をする。

また、第1図などのスイッチングトランジスタ11b、11cなどは  
5 Nチャネルで形成することが好ましい。コンデンサ19への突き抜け  
電圧が低減するからである。また、コンデンサ19のオフリークも減少  
するため、10Hz以下の低いフレームレートにも適用できるようにな  
る。

また、画素構成によつては、突き抜け電圧がE1素子15に流れる電  
20 流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表  
示のコントラスト感が増加する。したがって、良好な画像表示を実現で  
きる。

逆に、第1図のスイッチングトランジスタ11b、11cをPチャ  
ネルにすることにより突き抜けを発生させて、より黒表示を良好にする  
15 方法も有効である。この場合、Pチャネルトランジスタ11bをオフ  
にするとときはVgh電圧となる。そのため、コンデンサ19の端子電圧  
がVd側側に少しシフトする。これにより、トランジスタ11aのゲー  
ト(G)端子電圧は上昇し、より良好な黒表示となる。また、第1階調  
表示とする電流値を大きくすることができるとため(階調1までに一定の  
20 ベース電流を流すことができる)、電流プログラム方式で書き込み電圧  
不足を軽減できる。

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端  
子との間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加さ  
25 せる構成も有効である(第42図(a)を参照)。このコンデンサ19  
bの容量は正規のコンデンサ19aの容量の1/50以上1/10以  
下にすることが好ましい。この値は1/40以上1/15以下とするこ  
とが好ましい。もしくはトランジスタ11bのソース-ゲート(ソース  
-ドレイン(SG)もしくはゲート-ドレイン(GD))容量の1倍以

上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下  
にすることが好ましい。なお、コンデンサ19bは、コンデンサ19a  
の一方の端子(トランジスタ11aのゲート(G)端子)とトランジス  
タ11dのソース(S)端子との間に形成または配置してもよい。この  
5 場合も容量などは先に説明した値と同様である。

突き抜け電圧発生用のコンデンサ19bの容量(容量をCb(pF)  
とする)は、電荷保持用のコンデンサ19aの容量(容量をCa(pF)  
とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最  
大輝度の白ラスタ一時)のゲート(G)端子電圧Vwを黒表示での電流  
10 を流す(基本値には電流は0である、つまり、画像表示で黒表示の場合)  
ときのゲート(G)端子電圧Vbとが関連する。これらの関係は、

$$Ca/(20Cb) \leq Vw - Vb \leq Ca/(8Cb)$$
  
の条件を満たさせることが好ましい。なお、 $Vw - Vb$ とは、駆動  
用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の  
15 絶対値である(つまり、変化する電圧幅)。  
さらに好ましくは、

$$Ca/(10Cb) \leq Vw - Vb \leq Ca/(10Cb)$$
  
の条件を満たさせることが好ましい。

トランジスタ11bはPチャネルにし、このPチャネルは少なく  
20 ともダブルゲート以上にする。また、好ましくは、トリプルゲート以上  
にする。さらに好ましくは、4ゲート以上にする。そして、トランジス  
タ11bのソース-ゲート(SG)もしくはゲート-ドレイン(GD))  
容量(トランジスタがオンしているときの容量)の1倍以上10倍以下  
のコンデンサを並列に形成または配置することが好ましい。

25 なお、以上の事項は、第1図に示す画素構成だけでなく、他の画素構  
成でも有効である。たとえば、第42図(b)に図示するようなカレン  
ドミラーの画素構成において、突き抜けを発生させるコンデンサをゲー  
ト信号線17aまたは17bとトランジスタ11aのゲート(G)端子

WO 03/027998

PCT/JP02/00663

101

との間に配置または形成する。スイッチングトランジスタ111cのNドランネルはダブルゲート以上とする。もしくはスイッチングトランジスタ111c、111dをPチャネルとし、トリプルゲート以上とする。

第41図に示す電圧プログラムの構成にあっては、ゲート信号線17cと駆動用トランジスタ111aのゲート(G)端子との間に突き抜け電圧発生用のコンデンサ19cを形成または配置する。また、スイッチングトランジスタ111cはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ19cはトランジスタ111cのミレイン(D)端子(コンデンサ19b側)とゲート信号線17aとの間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ111aのゲート(G)端子とゲート信号線17aとの間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ111cのドランイン(D)端子(コンデンサ19b側)とゲート信号線17cとの間に配置してもよい。

また、電荷保持用のコンデンサ19aの容量をCaとし、スイッチング用のトランジスタ111cまたは111dのソースゲート容量をCc(突き抜け用のコンデンサがある場合には、その容量を加えた値)とし、ゲート信号線に印加される高電圧信号を(Vgh)とし、ゲート信号線に印加される低電圧信号を(Vgl)とした場合、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$0.05(V) \leq (Vgh - Vgl) \times (Cc/Ca) \leq 0.$$

8(V)

また、以下の条件を満足させることが好ましい。

$$0.1(V) \leq (Vgh - Vgl) \times (Cc/Ca) \leq 0.$$

5(V)

以上の事項は第43図などに示す画素構成にも有効である。第43図に示す電圧プログラムの画素構成では、トランジスタ111aのゲート(G)端子とゲート信号線17aとの間に突き抜け電圧発生用のコンデ

WO 03/027998

PCT/JP02/00663

102

ンサ19bを形成または配置する。

なお、突き抜け電圧を発生させるコンデンサ19bは、トランジスタのソース配線およびゲート配線で形成する。ただし、トランジスタ111のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成となる場合がある。

また、スイッチングトランジスタ111b、111c(第1図の構成の場合)を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ19bを構成する方式も本発明の範疇である。スイッチングトランジスタ111b、111cはチャネル幅W/チャネル長L=6/6μmで形成することが多い。ここでWとLとの比を大きくすることとも突き抜け電圧用のコンデンサ19bを構成することになる。例えば、W:Lの比を2:1以上20:1以下にする構成が例示される。好ましくは、W:Lの比を3:1以上10:1以下にすることがよい。

また、突き抜け電圧用のコンデンサ19bは、画素が変調するR、G、Bで大きさ(容量)を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なるためである。また、EL素子15のカットオフ電圧が異なるためである。そのため、EL素子15の駆動用トランジスタ111aのゲート(G)端子にプログラムする電圧(電流)が異なる。たとえば、Rの画素のコンデンサ111bRを0.02pFとし、Gの画素のコンデンサ111bGを0.025pFとする。また、Rの画素のコンデンサ111bRを0.02pFとし、Gの画素のコンデンサ111bGを0.025pFとする。また、Rの画素のコンデンサ111bGと0.02pFとした場合、Gの画素のコンデンサ111bGと0.03pFとし、Bの画素のコンデンサ111bBを0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサ111bの容量を変化させることのよりオフセットの駆動電流をRGBごとに調整することができ、したがって、RGBのそれぞれにおける黒表示レベルを最適値にすることができる。

以上では、突き抜け電圧発生用のコンデンサ19bの容量を変化させ

第45図は、逆バイアス電圧 $V_m$ およびE.L.素子15の端子電圧の變化を示している。ここで端子電圧とは、E.L.素子15に定格電流を印加したときの電圧である。第45図はE.L.素子15に流す電流が電流密度 $100\text{ A}/\text{平方メーター}$ の場合を示しているが、第45図に示される傾向は、電流密度 $50\sim 100\text{ A}/\text{平方メーター}$ の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

化を示している。ここで端子電圧とは、 $\Sigma$ し素子15に定格電流を印加したときの電圧である、第45図は $\Sigma$ し素子15に流す電流が電流密度  $100\text{ A/平方メートル}$ の場合を示しているが、第45図に示される傾向は、電流密度  $50 \sim 100\text{ A/平方メートル}$ の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

WO 03/027998

PCT/JPO2006/068

106

とBとの単位時間あたりの平均輝度を等しくしようとする。逆バイアス電圧を印加するときは、印加しないときと比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧V<sub>m</sub>を印加する場合(第46図のサンプルA)のEL素子15の端子電圧も高くなる。

しかし、第45図では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧V<sub>0</sub>とは、平均輝度を満足する端子電圧(つまり、EL素子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度200 A/平方メートルの電流の印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200 A/平方メートルでの輝度となる)。

以上の事項は、EL素子15に、白ラスタ表示させる場合(画面全体のEL素子に最大電流を印加している場合)を想定している。しかし、EL表示装置にて映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たとえば、EL素子15の白ピーク電流(最大白表示で流れる電流、本明細書の具体例では、平均電流密度100 A/平方メートルの電流)が流れているのではない。

一般的に、映像表示を行う場合、各EL素子15に印加される電流(流れる電流)は、白ピーク電流(定格端子電圧時に流れる電流、本明細書の具体例によれば、電流密度100 A/平方メートルの電流)の約0.2倍である。

したがって、第45図に示す実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が0.2以上になるように逆バイアス電圧V<sub>m</sub>の大きさおよび印加時間比t<sub>1</sub>(もしくはt<sub>2</sub>、あるいはt<sub>1</sub>とt<sub>2</sub>との比率など)を決定するとよい。また、好ましくは、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が1.75×0.2=0.35以下になるように逆バイアス電圧V<sub>m</sub>の大きさおよび印加時間比t<sub>1</sub>などを決定するとよい。

PCT/JPO2006/068

105

横軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比を表している。たとえば、経過時間0周期において、電流密度100 A/平方メートルの電流の印加したときの端子電圧を8(V)とし、経過時間2500時間において、電流密度100 A/平方メートルの電流の印加したときの端子電圧を10(V)とすれば、素子電圧比は、10/8=1.25である。

横軸は、逆バイアス電圧V<sub>m</sub>と1周期に逆バイアス電圧を印加した時間t<sub>1</sub>の積に対する定格端子電圧V<sub>0</sub>の比を表している。たとえば、60 Hz(とくに60 Hzに意味はないが)で、逆バイアス電圧V<sub>m</sub>を印加した時間が1/2(半分)であれば、t<sub>1</sub>=0.5である。また、経過時間0時間において、電流密度100 A/平方メートルの電流を印加したときの端子電圧(定格端子電圧)を8(V)とし、逆バイアス電圧V<sub>m</sub>を8(V)とすれば、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)=1-8(V)×0.5/(8(V)×0.5)=1.0となる。

第45図によれば、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が1.0以上で端子電圧比の変化はなくなる(初期の定格端子電圧から変化しない)。逆バイアス電圧V<sub>m</sub>の印加による効果がよく発揮されている。しかし、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が1.75以上で端子電圧比は増加する傾向にある。したがって、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が1.0以上になるように逆バイアス電圧V<sub>m</sub>の大きさおよび印加時間比t<sub>1</sub>(もしくはt<sub>2</sub>、あるいはt<sub>1</sub>とt<sub>2</sub>との比率)を決定するとよい。また、好ましくは、1逆バイアス電圧×t<sub>1</sub>/(定格端子電圧×t<sub>2</sub>)が1.75以下になるように逆バイアス電圧V<sub>m</sub>の大きさおよび印加時間比t<sub>1</sub>などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアスV<sub>m</sub>と定格電流とを交互に印加する必要がある。第46図に示す場合において、サンプルA

つまり、第45図の横軸（1逆バイアス電圧×11 /（定格端子電圧×12））において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）ときは、1逆バイアス電圧×11 /（定格端子電圧×12）が0.2よりも大きくなるように、逆バイアス電圧V<sub>m</sub>を所定時間t<sub>1</sub>印加する。また、逆バイアス電圧×11 /（定格端子電圧×12）の値が大きくなっても、第45図で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することと考慮して、1逆バイアス電圧×11 /（定格端子電圧×12）の値が1.75以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明する。なお、本発明はE<sub>L</sub>素子15に電流が流れていない期間に逆バイアス電圧V<sub>m</sub>（電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、E<sub>L</sub>素子15に電流が流れている状態で、強制的に逆バイアス電圧V<sub>m</sub>を印加してもよい。なお、この場合は、結果としてE<sub>L</sub>素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧V<sub>m</sub>を印加することを中心として説明するがこれに限定するものではない。

逆バイアス駆動の画素構成では、第47図に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。第47図では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くすることにより、トランジスタ11g（N）がオンし、E<sub>L</sub>素子15のアノード電極に逆バイアス電圧V<sub>m</sub>が印加される。

また、第47図の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、第47図においてV

k電圧が0（V）とする時、ゲート電位制御線473の電位を0（V）以上（好ましくは2（V）以上）にする。なお、この電位をV<sub>sg</sub>とする。この状態で、逆バイアス線471の電位を逆バイアス電圧V<sub>m</sub>（0（V）以下、好ましくはV<sub>k</sub>より5（V）以上小さい電圧）にすると、トランジスタ11g（N）がオンし、E<sub>L</sub>素子15のアノードに、逆バイアス電圧V<sub>m</sub>が印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧（つまり、トランジスタ11gのゲート（G）端子電圧）よりも高くすると、トランジスタ11gはオフ状態となるため、E<sub>L</sub>素子15には逆バイアス電圧V<sub>m</sub>は印加されない。もちろん、この状態のときに、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

また、第48図に図示するように、逆バイアス線471を制御するゲートドライバ12cを別途形成または配置してもよい。ゲートドライバ12cは、ゲートドライバ12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ11gのゲート（G）端子は電位固定し、逆バイアス線471の電位を変化させるだけで、E<sub>L</sub>素子15に逆バイアス電圧V<sub>m</sub>を印加することができる。したがって、逆バイアス電圧V<sub>m</sub>の印加制御が容易である。また、トランジスタ11gのゲート（G）素子とソース（S）端子との間に印加される電圧を低減できる。このことは、トランジスタ11gがPチャンネルの場合も同様である。

また、逆バイアス電圧V<sub>m</sub>の印加は、E<sub>L</sub>素子15に電流を流していないときに行うものである。したがって、トランジスタ11dがオンしていないときに、トランジスタ11gをオンさせることにより行えばよい。つまり、トランジスタ11dのオンオフロジックの逆をゲート電位制御線473に印加すればよい。たとえば、第47図では、ゲート信号線17bにトランジスタ11dおよびトランジスタ11gのゲート（G）端子を接続すればよい。トランジスタ11dはPチャンネルであ



り、トランジスタ11gはNチャネルであるため、オンオフ動作は反対となる。

第49図は逆バイアス駆動のタイミングチャートである。なお、チャート図において(1)(2)などの添え字は、画素行を示している。説明を容易にするため、(1)とは、第1画素行目とし、(2)とは第2画素行目を示すとして説明をするが、これに限定するものではない。(1)がN画素行目を示し、(2)がN+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、第49図などの実施例では、第1図などの画素構成を併示して説明をするがこれに限定されるものではない。たとえば、第41図、第38図などの画素構成においても適用できるものである。

第1画素行目のゲート信号線17a(1)にオン電圧(V<sub>g1</sub>)が印加されているときには、第1画素行目のゲート信号線17b(1)にはオフ電圧(V<sub>g1h</sub>)が印加される。つまり、トランジスタ11dはオフであり、E1素子15には電流が流れていない。

逆バイアス線471(1)には、V<sub>s1</sub>電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、E1素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧(V<sub>g1h</sub>)が印加された後、所定期間(1Hの1/200以上の期間、または、0.5μsec)後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧(V<sub>g1</sub>)が印加される所定期間(1Hの1/200以上の期間、または、0.5μsec)前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

次の水平走査期間(1H)において、ゲート信号線17aにはオフ電圧(V<sub>g1h</sub>)が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17b

にはオン電圧(V<sub>g1</sub>)が印加され、トランジスタ11dがオンして、E1素子15にトランジスタ11aから電流が流れE1素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V<sub>g1h</sub>)が印加されて、第1画素行(1)のE1素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)にはV<sub>s1</sub>電圧(逆バイアス電圧)が印加される。

以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、本発明は、第48図に示す回路構成に限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、フロッグ駆動(第40図参照)、N倍バルス駆動、リセット駆動、ダミー画素駆動などと組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。E1表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

以上の実施例は、第1図に示す画素構成の場合であったが、他の構成においても、第38図、第41図などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、第50図に示す電流プログラム方式の画素構成に適用することも可能である。

第50図は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である、ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン(D)-ゲート(G)端子間をジョート(GDジョート)する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

トランジスタ11dは、該当画素が選択する1H(1水平走査期間、

つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート(G)端子とドレイン(D)端子とがショートされる。そのため、トランジスタ11aはオフにする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

EL素子15が非点灯状態の場合、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることとなる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

トランジスタ11gのゲート(G)端子はVsg電圧が印加されて固定されている。逆バイアス線471をVsg電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ11gがオンする。

その後、前記該当画素に画像信号が印加される(書き込まれる)水平走査期間がくると、ゲート信号線17a1にオン電圧が印加され、トランジスタ11cがオンする。したがって、ソースドライバ14からソース信号線18に出力された画像信号電圧がコンデンサ19に印加される(トランジスタ11dはオン状態が維持されている)。

トランジスタ11cをオンさせると黒表示となる。1フィールド(1フレーム)期間に占めるトランジスタ11cのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1フィールド(1フレーム)の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流す電流を大きくする必要がある。この動作は、本発明のN倍パルス駆動である。したがって、N倍パルス駆動と、トランジスタ11dをオンさせて黒表示とする駆動とを組み合わせることが本発明の1つの特徴ある動作である。また、EL素子15が非点灯状態で、逆バイアス電圧を

EL素子15に印加することが本発明の特徴ある構成(方式)である。

以上の実施例では、画像表示を行う場合において、画素が非点灯状態のときに逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ11gを各画素に形成する必要はない。ここで非点灯状態とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加している状態である。

例えば、第1図の画素構成において、画素16を選択し(トランジスタ11b、トランジスタ11cをオンさせる)、ソースドライバ(回路)14から、ソースドライバが出力できる低い電圧V0(例えば、GND電圧)を出力して駆動用トランジスタ11aのドレイン端子(D)に印加する。この状態でトランジスタ11dもオンさせればELのアノード端子にV0電圧が印加される。同時に、EL素子15のカソードVkにV0電圧に対し、-5~-15(V)の低い電圧Vm電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、Vdd電圧もV0電圧より0~-5(V)の低い電圧を印加することにより、トランジスタ11aもオフ状態となる。以上のようにソースドライバ14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

N倍パルス駆動は、1フィールド(1フレーム)期間内において、1度、黒表示をしても再度、EL素子15に所定の電流(プログラムされた電流(コンデンサ19に保持されている電圧による))を流すことができる。しかし、第50図に示す構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電(減少を含む)されるため、EL素子15に所定の電流(プログラムされた電流)を流すことができない。しかし、画素動作が容易であるという特徴がある。

なお、以上の実施例は電流プログラム方式の場合の画素構成であった

WO 03/027998

PCT/JPO2006/068

113

が、本発明はこれに限定するものではなく、第38図、第50図のような他の電流方式の画素構成にも適用することができる。また、第51図、第54図、第62図に図示するような電圧プログラムの画素構成でも適用することができる。

5 第51図は一般的に最も簡単な電圧プログラムの画素構成を示している。トランジスタ11bは選択スイッチング素子であり、トランジスタ11aはEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）11gを配置（形成）している。

10 第51図に示す画素構成では、EL素子15に流す電流は、ソース信号線18に供給され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート（G）素子に供給される。

15 まず、第51図に示す構成を説明するために、基本動作について第52図を用いて説明をする。第51図に示す画素は電圧オフセットキャンセルと呼ばれる構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

20 水平同期信号（HD）後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。このとき、ソース信号線18にはV<sub>dd</sub>電圧が印加される。したがって、コンデンサ19bの端子aにはV<sub>dd</sub>電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン（D）端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

25 次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT1の期間、オン電圧が印加され、トランジスタ11bがオンする。こ

WO 03/027998

PCT/JP02/09668

114

のT1の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T1は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μsec以上160μsec以下の期間とすることが好ましい。また、コンデンサ19b（Cb）とコンデンサ19a（Ca）の容量の比率は、Cb:Ca=6:1以上1:2以下とすることが好ましい。

5 リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子との間がショートされる。したがって、トランジスタ11aのゲート（G）端子電圧とドレイン（D）端子電圧とが等しくなり、トランジスタ11aはオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ11aのゲート（G）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ19bの端子bに保持される。したがって、コンデンサ19aには、オフセット電圧（リセット電圧）が保持されていることにな

15 る。

次のプログラム状態では、ゲート信号線17cにオフ電圧が印加されトランジスタ11bがオフする。一方、ソース信号線18には、T<sub>dd</sub>の期間、DATA電圧が印加される。したがって、駆動用トランジスタ11aのゲート（G）端子には、DATA電圧+オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ11aはプログラムされた電流を流せるようになる。

20 プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、トランジスタ11cはオフ状態となり、駆動用トランジスタ11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、トランジスタ11bはオフ状態となり、このオフ状態は1Fの期間保持される。一方、ゲート信号線17bには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、第13図、第1

5 図などに示すN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

第52図に示す駆動方式では、コンデンサ119には、リセット状態で、トランジスタ111aの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ111aのゲート（G）端子に印加されているときが、最も暗い黒表示状態である。しかし、ソース信号線118と画素116とのカップリング、コンデンサ119への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、第52図に示す駆動方式では、表示コントラストを高くすることができない。

逆バイアス電圧VmをEL素子115に印加するためには、トランジスタ111aをオフさせる必要がある。トランジスタ111aをオフさせるためには、トランジスタ111aのVdd端子とゲート（G）端子との間をショートすればよい。この構成については、後に第53図を用いて説明をする。

また、ソース信号線118にVdd電圧またはトランジスタ111aをオフさせる電圧を印加し、トランジスタ111bをオンさせてトランジスタ111aのゲート（G）端子に印加させてもよい。この電圧によりトランジスタ111aがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ111aが高インピーダンス状態））。その後、トランジスタ111gをオンさせて、EL素子115に逆バイアス電圧を印加する。この逆バイアス電圧Vmの印加は、全画素同時に進めてもよい。つまり、ソース信号線118にトランジスタ111aを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ111bをオンさせる。したがって、トランジスタ111aがオフとなる。その後、トランジスタ111gをオンさせて、逆バイアス電圧をEL素子115に印加する。その後、順次、各画素行に画像信号を印加し、表示装置に画像を表示する。

次に、第51図に示す画素構成におけるリセット駆動について説明をする。第53図はその実施例を示している。第53図に示すように画素116aのトランジスタ111cのゲート（G）端子に接続されたゲート信号線117aは、次段画素116bのリセット用トランジスタ111bのゲート（G）端子にも接続されている。同様に、画素116bのトランジスタ111cのゲート（G）端子に接続されたゲート信号線117aは、次段画素116cのリセット用トランジスタ111bのゲート（G）端子に接続されている。

したがって、画素116aのトランジスタ111cのゲート（G）端子に接続されたゲート信号線117aにオン電圧を印加すると、画素116aが電圧プログラム状態となるとともに、次段画素116bのリセット用トランジスタ111bがオンし、画素116bの駆動用トランジスタ111aがリセット状態となる。同様に、画素116bのトランジスタ111cのゲート（G）端子に接続されたゲート信号線117aにオン電圧を印加すると、画素116bが電圧プログラム状態となるとともに、次段画素116cのリセット用トランジスタ111bがオンし、画素116cの駆動用トランジスタ111aがリセット状態となるとともに、画素116cの駆動用トランジスタ111aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。第53図（a）に示すようにゲート信号線117に電圧が印加されているとする。つまり、画素116aのゲート信号線117aにオン電圧が印加され、他の画素116のゲート信号線117aにオフ電圧が印加されているとする。また、画素116a、116bのゲート信号線117bにはオフ電圧が印加され、画素116c、116dのゲート信号線117bにはオン電圧が印加されているとする。

この状態では、画素116aは電圧プログラム状態で非点灯、画素116bはリセット状態で非点灯、画素116cはプログラム電流の保持状態で点灯、画素116dはプログラム電流の保持状態で点灯状態である。

WO 03027998

PCT/JP02/09668

117

1 H後、制御用ゲートドライバ12のシフトレジスタ回路61内のデータが1ビットシフトし、第53図(b)に示す状態となる。第53図(b)に示す状態では、画素16aがプログラム電流保持状態で点灯、画素16bが電流プログラム状態で非点灯、画素16cがリセット状態で非点灯、画素16dがプログラム保持状態で点灯状態となる。

5 以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

第43図に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。第54図は、第43図の画素構成を前段ゲート制御方式の接続とした実施例を示している。

第54図に示すように画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11eのゲート(G)端子に接続されている。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは、次段画素16cのリセット用トランジスタ11eのゲート(G)端子に接続されている。

したがって、画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11eがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11eがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

さらに詳しく説明する。第55図(a)に示すようにゲート信号線1

WO 03027998

PCT/JP02/09668

118

7に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ11gはオフ状態であるとする。

5 この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。

1 H後、制御用ゲートドライバ12のシフトレジスタ回路61内のデータが1ビットシフトし、第55図(b)に示す状態となる。第55図(b)に示す状態では、画素16aがプログラム電流保持状態、画素16bが電流プログラム状態、画素16cがリセット状態、画素16dがプログラム保持状態となる。

以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

電流駆動方式において、完全な黒表示を行う場合、画素の駆動用トランジスタ11にプログラムされる電流は0である。つまり、ソースドライバ14からは電流が流れない。電流が流れなければ、ソース信号線18に発生した寄生容量を充電することができず、ソース信号線18の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1フレーム(フィールド)(1F)前の電位がコンデンサ19に蓄積されたままとなる。たとえば、1フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、1水平走査

25 期間(1H)の最初に黒レベルの電圧をソース信号線18に書き込んでから、ソース信号線18にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い0階調目〜7階調目の場合、1水平期間の最初の一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆

動の負担が減り、書き込み不足を補うことが可能となる。ここで例えば64階調表示の場合であれば、完全な黒表示を0階調目とし、完全な白表示を63階調目とする。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電圧駆動方式では、書き込み電流が小さい（薄小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の場合、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調0のみを抽出してプリチャージする方式も有効である。これにより極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして観察されることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。Bは表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているためである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを

行う（たとえば、64階調の時は、0階調目から3階調目までの画像データのとき、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rが7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。異なるプリチャージ電圧は、51表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ポリウム回路を用いることにより容易に実現できる。

以後、本発明の電圧駆動方式のソースドライバ（回路）14について説明をする。本発明のソースドライバは、上述した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、および表示装置を組み合わせて用いる。なお、以下の説明では、ICチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術などを用いて、表示パネル上に作製してもよいことは言うまでもない。

まず、第72図に、本発明の電圧駆動方式のドライバ回路の一例を示す。第72図において、721はD/A変換器である。D/A変換器721にはnビットのデータ信号が入力され、入力されたデータに基づき、D/A変換器からアナログ信号が出力される。このアナログ信号はオペアンプ722に入力される。オペアンプ722はNチャンネルトランジスタ631aに入力され、トランジスタ631aに流れる電流が抵抗631に流れる。抵抗Rの端子電圧はオペアンプ722の-（マイナス）入力となり、この-端子の電圧とオペアンプ722の+端子とは同一電圧となる。したがってD/A変換器721の出力電圧は抵抗631の端子電圧となる。

今、抵抗631の抵抗値が1MΩとし、D/A変換器721の出力が1（V）であれば、抵抗631には1（V）/1MΩ=1（μA）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に

応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力の値にもとづいて抵抗691に所定の電流が流れる、

トランジスタ631p1と631p2とはカレントミラー回路を構成している。なお、トランジスタ631pはPチャネル型トランジスタである。一方、633nはカレントミラーを構成するnチャネル型トランジスタである。駆動用トランジスタ631aのソース・ドレイン(SD)にも同じ電流が流れ、631p1と631p2とで構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ633nで構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子O1、O2、O3、O4、O5、・・・は同一の電流が流れる定電流出力素子となる(カレント比率が等しい場合)。

しかしながら、1Cは、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、たとえ同一1Cであっても、定電流出力端子間では各出力電流にばらつきが存在する。このように、各定電流出力端子の出力電流値にはばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらが生じる。したがって、ドライバIC14を使用して、有機EL表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

そこで、定電流出力端子間の出力電流のばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバIC(回路)14が望まれる。

第63図に、本発明の電流駆動方式のソースドライバ(回路)14の構成図を示す。第63図では、一例として電流源を3段構成(631、632、633)とした場合の多段式カレントミラー回路を示している。

第63図において、第1段の電流源631の電流値は、N個(ただし、Nは任意の整数)の第2段電流源632にカレントミラー回路によりコ

ピーされる。更に、第2段電流源632の電流値は、M個(ただし、Mは任意の整数)の第3段電流源633にカレントミラー回路によりコピーされる。この構成により、結果として第1段電流源631の電流値は、 $N \times M$ 個の第3段電流源633にコピーされることになる。

例えば、QCI形式の表示パネルのソース信号線18に1個のドライバIC14で駆動する場合は、176出力(ソース信号線がRGBで176出力必要なため)となる。この場合は、Nを16個とし、M=11個とする。したがって、 $16 \times 11 = 176$ となり、176出力に対応できる。このように、NまたはMのうち、一方を8または16もしくはその倍数とすることにより、ドライバICの電流源のレイアウト設計が容易になる。

第72図に示す電流駆動方式のソースドライバでは、第1段電流源631の電流値を直接 $N \times M$ 個の第3段電流源にカレントミラー回路でコピーしていたので、第2段電流源631のトランジスタ特性と第3段電流源のトランジスタ特性とに差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバ14は、幅が2mm程度で長さが20mm程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

これに対して、第63図に示す多段式カレントミラー回路による電流駆動方式のソースドライバ(回路)14では、前記したように、第1段電流源631の電流値を直接 $N \times M$ 個の第3段電流源633にカレントミラー回路でコピーするのではなく、中間に第2段電流源632を配備している。そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第1段のカレントミラー回路(電流源631)と第2段にカレントミラー回路(電流源632)を密接して配置するところに特徴がある。第1段の電流源631から第3段の電流源633(つま

り、カレントミラー回路の2段構成)であれば、第1段の電流源631と接続される第3段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633とを直接して配置することができない。

本発明のソースドライバ14は、第1段のカレントミラー回路(電流源631)の電流を第2段のカレントミラー回路(電流源632)にコピーし、第2段のカレントミラー回路(電流源632)の電流を第3段のカレントミラー回路(電流源632)にコピーする構成である。この構成では、第72図の場合と比較して、第1段のカレントミラー回路(電流源631)に接続される第2段のカレントミラー回路(電流源632)の個数は少ない。したがって、第1段のカレントミラー回路(電流源631)と第2段のカレントミラー回路(電流源632)とを直接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路(電流源632)に接続される第3段のカレントミラー回路(電流源633)の個数も少なくなる。したがって、第2段のカレントミラー回路(電流源632)と第3段のカレントミラー回路(電流源633)とを密接して配置することができる。

つまり、全体として、第1段のカレントミラー回路(電流源631)、第2段のカレントミラー回路(電流源632)、第3段のカレントミラー回路(電流源633)の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流値のバラツキは極めて少なくなる(精度が高い)。

なお、本例では簡単のため多段式カレントミラー回路を3段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルの

ソースドライバ14の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に限定するものではなく、3段以上であってもよい。

本発明において、電流源631、632、633と表現したち、カレントミラー回路と表現したりしているが、これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、第72図に図示するようにオペアンプ722、トランジスタ631、および抵抗Rの組み合わせからなる電流回路でもよい。

第64図はさらに具体的なソースドライバ(回路)14の構造図である。第64図は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路(電流源634(1単位))で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバ(回路)14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでよい。

第64図では、図から明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を示している。つまり、2の6乗であるから、64段階表示が可能である。このソースドライバ14をアレイ基板に積載することにより、赤(R)、緑(G)、青(B)が各64階層であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{ 万色}$ を表示できることになる。

第64図において、D0はLSB入力を示しており、D5はMSB入



WO 03/027998

PCT/JPO2006/068

126

い、単位電流源を構成するトランジスタ634は同一のチャネル幅 $W$ 、チャネル幅 $L$ とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、電流源634はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源634を重み付けしてもよい。たとえば、1単位の電流源634と、2倍の電流源634と、4倍の電流源634などを混在させて電流出力回路を構成してもよい。

しかし、電流源634を重み付けして構成すると、各重み付けた電流源が重み付けた割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位電流源634を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。ここで、トランジスタ634の大きさは、チャネル長 $L$ とチャネル幅 $W$ とをかけたサイズをいう。たとえば、 $W=3\mu\text{m}$ 、 $L=4\mu\text{m}$ であれば、1つの単位電流源を構成するトランジスタ634のサイズは、 $W \times L = 12\mu\text{m}^2$ である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態で影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

トランジスタサイズと出力電流のバラツキの関係を第117図に示す。第117図のグラフの横軸はトランジスタサイズ(平方 $\mu\text{m}$ )である。縦軸は、出力電流のバラツキ( $\sigma$ )を%で示したものである。ただし、出力電流のバラツキ $\sigma$ は、単位電流源(1つの単位トランジスタ)634を63個の組で形成し(63個形成し)、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、

PCT/JPO2006/068

126

力を示している。D3入力端子がHレベルのとき(正論理のとき)、スイッチ641a(オンオフ手段である、もちろん、単体トランジスタで構成してもよいし、PチャネルトランジスタとNチャネルトランジスタとを組み合わせたアナログスイッチなどでもよい)がオンする。すると、カレントミラーを構成する電流源(1単位)634に方向が電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース増幅線18に接続されているから、この内部配線643に流れる電流が要素16のプログラム電流となる。

10 D1入力端子がHレベルのとき(正論理のとき)、スイッチ641bがオンする。すると、カレントミラーを構成する2つの電流源(1単位)634に向かつて電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース増幅線18に接続されているから、この内部配線643に流れる電流が要素16のプログラム電流となる。

15 他のスイッチ641でも同様である。D2入力端子がHレベルのとき(正論理のとき)は、スイッチ641cがオンする。すると、カレントミラーを構成する4つの電流源(1単位)634に向かつて電流が流れる。D5入力端子がHレベルのとき(正論理のとき)は、スイッチ641fがオンする。すると、カレントミラーを構成する32の電流源(1単位)634に向かつて電流が流れる。

20 以上のように、外部からのデータ(D0~D5)に応じて、それに対応する電流源(1単位)に向かつて電流が流れる。したがって、データに応じて、0個から63個の電流源(1単位)に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は6ビットの63個としているが、これに限定するものではない。8ビットの場合、255個の単位電流源634を形成(配置)すればよい。また、4ビットの場合は、15個の単位電流源634を形成(配置)すればよ

グラフの横軸は、1つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは63値あるので面積は63倍である。しかし、本発明は単位電流源634の大きさを単位として検討している。したがって、第117図において、30平方 $\mu\text{m}$ の単位トランジスタ634を63個形成したとき、その時の出力電流のパラツキは、0.5%となることを示している。

64階調の場合は、 $100/64=1.5\%$ である。したがって、出力電流バラツキは1.5%以内にすることがある。第117図から1.5%以下にするためには、単位トランジスタのサイズは2平方 $\mu\text{m}$ 以上にする必要がある(64階調は63個の2平方 $\mu\text{m}$ の単位トランジスタが動作する)。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位電流源634のサイズの上限は、300平方 $\mu\text{m}$ である。したがって、64階調表示では、単位電流源634のサイズは、2平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。

128階調の場合は、 $100/128=1\%$ である。したがって、出力電流バラツキは1%以内にすることがある。第117図から1%以下にするためには、単位トランジスタのサイズは8平方 $\mu\text{m}$ 以上にする必要がある。したがって、128階調表示では、単位電流源634のサイズは、8平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。

なお、第117図は1 $\sigma$ のパラツキデータである。3 $\sigma$ を基準とするならば、64階調の場合は、 $(100/64)/3=0.5\%$ である。したがって、出力電流バラツキは0.5%以内にすることがある。第117図から0.5%以下にするためには、単位トランジスタのサイズは30平方 $\mu\text{m}$ 以上にする必要がある。一方でトランジスタサイズには制限がある。3 $\sigma$ を基準とするならば、64階調表示では、単位電流源634のサイズは、30平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下にする必要がある。実際には、多少のパラツキが発生しても画像表示でもそのバラツキが

認識されることはない。64階調表示では、2 $\sigma$ レベルの15平方 $\mu\text{m}$ 以上300平方 $\mu\text{m}$ 以下で実用上は十分であった。

一般的に、階調数をKとし、単位トランジスタ634の大きさをSt(平方 $\mu\text{m}$ )としたとき、

$$5 \quad 40 \leq K/(St)^{1/4} \quad \text{かつ} \quad St \leq 300 \quad \text{の関係を満足させる。}$$

さらに好ましくは、 $120 \leq K/(St)^{1/4} \quad \text{かつ} \quad St \leq 300$ の関係を満足させることが好ましい。

以上の例は、64階調で63個のトランジスタを形成した場合である。64階調を127個の単位トランジスタ634で構成する場合は、単位トランジスタ634のサイズとは、2つの単位トランジスタ634を加えたサイズである。たとえば、64階調で、単位トランジスタ634のサイズが10平方 $\mu\text{m}$ であり、127個形成されていたら、第117図では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。同様に、64階調で、単位トランジスタ634のサイズが10平方 $\mu\text{m}$ であり、255個形成されていたら、第117図では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

第34図の構成は第63図に図示する第3段のカレントミラー部である。したがって、第1の電流源631と第2段の電流源632とが別途形成されており、これらが密接(密接あるいは隣接)して配置されているのである。また、第2段の電流源632および第3段の電流源を構成するカレントミラー回路のトランジスタ633aも密接(密接あるいは隣接)して配置される。

なお、特に電流源(単位)634は、密接して配置され、かつ微小な電流が流れる。したがって、EL表示パネルなどから放射される光(発光光)が、電流源634(他に631、632、633も考慮すべきである)に照射されると、ホトコンダクタ現象(ホトコン)により駆動作用を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成

WO 0302795H

PCTJP0209668

130

1 8 から電流を引き込む。

以上のように、最終段電流源 6 3 3 の整数倍の構成により、従来の W/L の比例配分と比較して、より高精度に電流値を制御できる（各素子の出力バラツキがなくなる）。

5     ただし、この構成は、画素 1 6 を構成する駆動用 TFT 1 1 a が P チャネルで構成され、かつ、ソースドライバイバ 1 4 を構成する電流源（1 単位）部 6 3 4 が N チャネルトランジスタで構成されている場合である。他の場合（例えば、画素 1 6 の駆動用 TFT 1 1 a が N チャネルトランジスタで構成されている場合など）は、プログラム電流 I<sub>w</sub> が吐き出し電流となる構成も実施できることはいまでもない。

10     なお、最終段電流源 6 3 3 の 0 ~ 6 3 倍の電流が出力されるとしたが、これは最終段電流源 6 3 3 のカレントミラー倍率が 1 倍のときである。カレントミラー倍率が 2 倍のときは、最終段電流源 6 3 3 の 0 ~ 1 2 6 倍の電流が出力され、カレントミラー倍率が 0.5 倍のときは、最終段

15     電流源 6 3 3 の 0 ~ 3 1.5 倍の電流が出力される。以上のように、本発明は最終段電流源 6 3 3 あるいは、それより前段の電流源（6 3 1、6 3 2 など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、B ごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、20     R のみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、EL 表示パネルは、各色（R、G、B あるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好に 25     できる。

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化させる（異ならせる）という事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源に力

PCTJP0209668

129

する。また、基板に実装する箇所、かつ、チップの電流源が形成された箇所（遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）、この遮光膜は、EL 素子 1 5 に電流を供給するアノード配線、カソード配線を引き回す 6     （IC チップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、IC チップに固定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、アモルファスシリコン技術を用いてソースドライバイバ 1 4 にも適用される。つまり、このソースドライバイバ 1 4 の画面上に遮 10     光膜を形成する。

第 2 段のカレントミラー回路 6 3 2 を流れる電流は、第 3 段のカレントミラー回路を構成するトランジスタ 6 3 3 a にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 6 3 3 b に流れる。この電流は、最終段のトランジスタ 6 3 4 にコピーされる。

15     D 0 に対応する部分は、1 個のトランジスタ 6 3 4 で構成されているので、最終段電流源のトランジスタ 6 3 3 に流れる電流値である。D 1 に対応する部分は 2 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 2 倍の電流値である。D 2 は 4 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 4 倍の電流値である。以下同様に 20     して、D 5 に対応する部分は 3 2 個のトランジスタで構成されているので、最終段電流源の 3 2 倍の電流値である。したがって、6 ビットの画像データ D 0、D 1、D 2、...、D 5 で制御されるスイッチを介してプログラム電流 I<sub>w</sub> はソース信号線に出力される（電流を引き込む）。したがって、6 ビットの画像データ D 0、D 1、D 2、...、D 5 の 25     ON、OFF に応じて、出力線には、最終段電流源 6 3 3 の 1 倍、2 倍、4 倍、...、3 2 倍の電流が加算されて出力される。すなわち、6 ビットの画像データ D 0、D 1、D 2、...、D 5 により、最終段電流源 6 3 3 の 0 ~ 6 3 倍の電流値が出力線より出力される（ソース信号線

レントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電圧を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

なお、カレントミラー倍率を変化させるという概念は、電流倍率を変化（調整）させるということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

第65図に、3段式カレントミラー回路による176出力(N×M=176)の回路図の一例を示す。第65図では、第1段カレントミラー回路による電流源631を電流源、第2段カレントミラー回路による電流源632を子電流源、第3段カレントミラー回路による電流源633を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源631、632、633を密集して配置するという構成を忘れてはならない。

なお、ここで「密集して配置する」とは、第1の電流源631と第2

の電流源632とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電圧あるいは電圧の入力側）することという。さらには、5mm以内に配置することが好ましい。この範囲であれば、検封によりシリコンチップ内で配置されてトランジスタの特性(V<sub>I</sub>、モビリティ(μ))差がほとんど発生しないからである。また、同様に、第2の電流源632および第3の電流源633（電流の出力側と電流の入力側）も少なくとも5mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

10 この電流源632は電圧の出力側と電圧の入力側とは、以下の関係を意味する。第66図の電圧受け渡しの場合は、第(I)段の電流源のトランジスタ631（出力側）と第(I+1)の電流源のトランジスタ632a（入力側）とを密集して配置する関係である。第67図の電圧受け渡しの場合は、第(I)段の電流源のトランジスタ631a（出力側）と第(I+1)の電流源のトランジスタ632b（入力側）とを密集して配置する関係である。

なお、第65図、第66図などにおいて、トランジスタ631は1個としたが、これに限定するものではない。たとえば、小さなトランジスタ631を複数個形成し、この複数個のトランジスタのソースまたはドレイン端子を抵抗651と接続してもよい。小さなトランジスタを複数個並列に接続することにより、トランジスタのばらつきを低減することができる。

同様に、トランジスタ632aは1個としたが、これに限定するものではない。たとえば、小さなトランジスタ632aを複数個形成し、このトランジスタ632aの複数個のゲート端子を、トランジスタ631のゲート端子と接続してもよい。小さなトランジスタ632aを複数個並列に接続することにより、トランジスタ632aのばらつきを低減することができる。

WO 03/027998

PCT/JPO2006/068

134

1と第2の電流源632とを少なくとも30mm以内の距離に配置（電流の出力側と電流の入力側）することを用いる。さらには、20mm以内に配置することが好ましい。この範囲であれば、検出によりこの範囲に配置されたトランジスタの特性（Vt、モビリティ（μ））差がほとんど発生しないからである。また、同様、第2の電流源632および第3の電流源633（電流の出方側と電流の入力側）も少なくとも30mm以内の距離に配置する。さらに好ましくは、20mm以内の位置に配置することが好ましい。

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間では電圧により信号を受け渡すように説明をした。しかし、電流を受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ミラバ回路（IC）14を実現することができる。

第67図は電流受け渡し構成の実施例である。なお、第66図は電圧受け渡し構成の実施例である。第66図、第67図とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。第66図において、631は第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

第67図において、631aは第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

第66図では、可変抵抗651（電流を変化するために用いるものである）とNchトランジスタ631で構成される第1段電流源のゲート電圧が、第2段電流源のNchトランジスタ632aのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、第67図では、可変抵抗651とNchトランジスタ631aで構成される第1段電流源のゲート電圧が、隣接する第2段電流源のN

PCT/JPO2006/068

WO 03/027998

133

したがって、本発明の構成としては、1つのトランジスタ631と複数列のトランジスタ632aとを接続する構成、複数列のトランジスタ631と1個のトランジスタ632aとを接続する構成、複数列のトランジスタ631と複数列のトランジスタ632aとを接続する構成が例示される。

以上の事項は、第68図のトランジスタ633aとトランジスタ633bとの構成にも適用される。1つのトランジスタ633aと複数列のトランジスタ633bとを接続する構成、複数列のトランジスタ633aと1個のトランジスタ633bとを接続する構成、複数列のトランジスタ633aと複数列のトランジスタ633bとを接続する構成が例示される。小さなトランジスタ633を複数列並列に接続することにより、トランジスタ633のばらつきを低減することができるからである。

また、以上の事項は、第68図のトランジスタ632a、632bとの関係にも適用することができる。また、第64図のトランジスタ633bも複数列のトランジスタで構成することが好ましい。第73図、第74図のトランジスタ633についても同様に複数列のトランジスタで構成することが好ましい。

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、もしくはアモルファスシリコン膜を用いてソースドレイバにも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線18からの出力バランスキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素TFTと同時にソースドレイバ14を形成する表示パネルでは、密集して配置するとは、第1の電流源63

chトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPchトランジスタ632bに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第1の電流源と第2の電流源との関係を中心に説明しているが、これに限定されるものではなく、第2の電流源と第3の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

第66図に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段の電流源のNchトランジスタ631と第2段の電流源のNchトランジスタ632aが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい、したがって、第1段電流源の電流値が第2段電流源に正確に伝達されず、ばらつきが生じやすい。それに対して、第67図に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段電流源のNchトランジスタ631aと第2段電流源のNchトランジスタ632aとが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第1段電流源の電流値が第2段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ（IC）14）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい、以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第1段電流源から第2段電流源の場合を示したが、第2段電流源から第3段電流源、第3段電流源から第4段電流源、...の場合も同様であることは言うまでもない。

第68図は、第65図の3段構成のカレントミラー回路（3段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、第65図は電圧受け渡し方式の回路構成である）。

第68図では、まず、可変抵抗651とNchトランジスタ631で基準電流（基準信号）が生成される。なお、可変抵抗651で基準電流を調整するように説明しているが、実際は、ソースドライバ（回路）14内に形成（もしくは配置）された電子ポリウム回路によりトランジスタ631のソース電圧が設定され、調整されるように構成される。もしくは、第64図に区示するような多数の電流源（1単位）634から構成される電流方式の電子ポリウムから出力される電流を直接にトランジスタ631のソース端子に供給することにより基準電流は調整される（第69図を参照のこと）。

トランジスタ631による第1段電流源のゲート電圧が、隣接する第2段電流源のNchトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPchトランジスタ632bに受け渡される。また、第2の電流源のトランジスタ632bによるゲート電圧が、隣接する第3段電流源のNchトランジスタ633aのゲートに印加され、その結果トランジスタに流れる電流値が、第3段電流源のNchトランジスタ633bに受け渡される。第3段電流源のNchトランジスタ633bのゲートには第64図に図示する多数の電流源634が必要なビット数に応じて形成（配置）される。

第69図では、前記多段式カレントミラー回路の第1段電流源631に、電流値調整用素子が具備されていることを特徴としている。この構成により、第1段電流源631の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

トランジスタの $V_{th}$ バラツキ（特性バラツキ）は、1ウエハ内で100mV程度のばらつきがある。しかし、100 $\mu$ m以内に近接して形成されたトランジスタの $V_{th}$ バラツキは、少なくとも、10mV以下である

WO 03/027998

PCT/JPN2006/68

138

果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方mm以内に必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのV（バラツキ）を0.5%以内にすることが好ましい。第110図の結果に示すようにトランジスタ群681の形成面積を1.2平方mm以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方mmでは、1mm×1.2mmである。

なお、以上は、特に8ビット（255階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（第68図では、トランジスタ群681aと681bの2つを图示している）の両方が、この条件を満足することを要しない、少なくとも一方が（3つ以上ある場合は、1つ以上のトランジスタ群681）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681（681aが上位で、681bが下位の関係）に、同じこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

本発明のソースドライバ（IC）14は、第68図に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源を配置している（もちろん、親、子の2段階接続でもよい）。また、各電流源間（トランジスタ群681間）を電流受け渡しにしている。具体的には、第68図の点線で囲った範囲（トランジスタ群681）を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。また、親の電流源631と子の電流源632aとは、ソースドライバ1

PCT/JPN2006/68

WO 03/027998

137

（実施例）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを低減させることができる。したがって、ソースドライバの各端子の出力電流バラツキを少なくすることができる。

第110図はトランジスタの形成面積（平方ミリメートル）と、単位トランジスタの出力電流バラツキ（3σ）との決定結果を示している。出力電流バラツキとは、V<sub>th</sub>電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10-200個）のトランジスタ出力電流バラツキである。第110図のA領域（形成面積0.5平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積2.4平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流値を変化（制御）する。階調数が64階調以上であれば、1/64=0.015であるから、理論的には、1~2%以内の出力電流バラツキ以内にすることが必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

出力電流バラツキ（%）を1%以内にするために、第110図の結

4 チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ群632aと、子の電流源を構成するトランジスタ群632bとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群681aをICチップの略中央部に配置する。そして、ICチップ14の左右に、下位のトランジスタ群681bを配置する。好ましくは、この下位のトランジスタ群681bの個数がICチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ICチップ14に限定されず、低温あるいは高温ポリシリコン技術で基板71に直接形成したソースドライバ14にも適用される。他の事項も同様である。

10 本発明では、トランジスタ群681aはICチップ14の略中央部に1つ構成または配置または形成あるいは作製されており、チップの左右に8個ずつトランジスタ群681bが形成されている(N=8+8、第63図を参照のこと)。子のトランジスタ群681bはチップの左右に等しくなるように、もしくは、チップ中央の隅が形成された位置に対し、左側に形成または配置されたトランジスタ群681bの個数と、チップの右側に形成または配置されたトランジスタ群681bの個数との差が、4個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群681bの個数と、チップの右側に形成または配置されたトランジスタ群681bの個数との差が、1個以内となるように構成することが好ましい。以上の事項は、係にあたるトランジスタ群(第68図では省略されているが)についても同様である。

25 縦電流源631と子電流源632aとの間は電圧受け渡し(電圧接線)されている。したがって、トランジスタのV<sub>th</sub>バラツキの影響を受けやすい。そのため、トランジスタ群681aの部分に密配する。このトランジスタ群681aの形成面積を、第110図で示すように2平方ミリメートル以上の面積に形成する。さらに好ましくは1.2平方ミ

リメートル以内に形成する。もちろん、階調数が64階以下の場合、5平方ミリメートル以内でもよい。

5 トランジスタ群681eと子トランジスタ群632bとの間は電流でデータを受け渡し(電流受け渡し)しているので、多少、距離は離れても構わない。この距離の範囲(たとえば、上位のトランジスタ群681aの出力端から下位のトランジスタ群681bの入力端までの距離)は、先に説明したように、第2の電流源(子)を構成するトランジスタ群632aと第2の電流源(子)を構成するトランジスタ群632bとを、少なくとも10mm以内の距離に配置する、好ましくは8mm以内に配置または形成する。さらには、5mm以内に配置することが好ましい。この範囲であれば、検出によりシリコンチップ内で配置されてトランジスタの特性(V<sub>th</sub>、モビリティ( $\mu$ ))差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群681aが上位で、その下位にトランジスタ群681b、さらにその下位にトランジスタ群681cがあれば、トランジスタ群681bとトランジスタ群681cの電流受け渡しがこの関係を満足させる。したがって、すべてのトランジスタ群681がこの関係を満足させることに、本発明が限定されるものではない。少なくとも1組のトランジスタ群681がこの関係を満足させるようにすればよい。特に、下位の方が、トランジスタ群681の個数が多くなるからである。

第3の電流源(子)を構成するトランジスタ群633aと第3の電流源を構成するトランジスタ群633bについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

25 トランジスタ群681bはチップの左右方向(長手方向、つまり、出力端子761と対面する位置)に形成または作製あるいは配置されている。このトランジスタ群681bの個数Mは、本発明では11個(第63図を参照)である。



WO 03/027998

PCT/JPO2/09668

141

子電流源632bと孫電流源633aとの間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群681aと同様にトランジスタ群681bの部分を密配置する。このトランジスタ群681bの形成面積を、第110図で示すように2平方ミリメートル以内とする。さらに好ましくは1.2平方ミリメートル以内とする。ただし、このトランジスタ群681b部分のVtが少しでもばらつくと同様に、形成されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は第110図のA領域（0.5平方ミリメートル以内）にすることが好ましい。

10 トランジスタ群681bを構成する孫トランジスタ633aとトランジスタ633bとの間は電流でデータを受け渡し（電流受け渡し）している。多少、距離が離れても構わない。この距離の範囲についても先の説明と同様である。第3の電流源（孫）を構成するトランジスタ633aと第2の電流源（孫）を構成するトランジスタ633bとを、少なくとも8mm以内の距離に配置する。さらには、5mm以内に配置することが好ましい。

第69図に、前記電流値制御素子として、電子ポリウムで構成した場合を示す。電子ポリウムは抵抗691（電流制御および各基準電圧を作成する。抵抗691はポリシリコンで形成する）、デコーダ692、レベルシフト693などで構成される。なお、電子ポリウムは電流を出し、トランジスタ641はアナログスイッチ回路として機能する。

また、電子ポリウム回路は、EL表示パネルの色数に応じて形成（もしくは配置）する。たとえば、RGBの3原色であれば、各色に対応する3つの電子ポリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、1つの色を基準にする（固定する）場合は、色数-1分の電子ポリウム回路を形成（もしくは配置）する。

第76図は、RGBの3原色を独立に基準電流を制御する抵抗素子6

WO 03/027998

PCT/JPO2/09668

142

5 を形成（配置）した構成である。もちろん、抵抗素子651は電子ポリウムに置き換えてもよいことは言うまでもない。電流源631、電流源632などの親電流源、子電流源など基本（根本）となる電流源は第76図に図示する領域に電流出力回路704に密接して配置する。密接して配置することにより、各ソース信号線18からの出力バラツキが低減する。第76図に図示するようにICチップ（回路）14の中央部に電流出力回路704に配置することにより、ICチップ（回路）14の左右に電流源631、632などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

10 ただし、中央部に電流出力回路704に配置することに限定するものではない。ICチップの片端もしくは両端に形成してもよい。また、出力段回路と平行に形成してもよい。

電流出力回路704は、R、G、Bごとに形成（配置）し、かつ、このRGBの電流出力回路704R、704G、704Bも近接して配置する。また、各色（R、G、B）に、第73図に図示する低電流領域の基準電流INLを調整し、また、第74図に図示する低電流領域の基準電流INHを調整する（第79図も参照のこと）。したがって、Rの電流出力回路704Rには低電流領域の基準電流INLを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651R

20 Lが配置され、高電流領域の基準電流INHを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651RHが配置される。同様に、Gの電流出力回路704Gには低電流領域の基準電流INLを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651GLが配置され、高電流領域の基準電流INHを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651GHが配置される。また、Bの電流出力回路704Bには低電流領域の基準電流INLを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）651BLが配置され、高電流領域の基準

電流INHを調整するポリウム（もしくは、電圧出力もしくは電流出力の電子ポリウム）65；BHが配値される。

なお、ポリウム651などは、Eし素子15の温度特性を補償できるように、温度で変化するよう構成することが好ましい。また、第79図に示すガンマ特性で、所れ由がり点が2点以上あるときは、各色の基準電流を調整する電子ポリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。

ICチップの出力端子には、出力パッド761が形成または配置されている。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンパ（突起）が形成されている。突起の高さは10μm以上40μm以下の高さにする。

前記バンパと各ソース信号線18とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フエノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化銅（SnO2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンパ上に形成する。また、バンパとソース信号線18とをACF樹脂で熱圧着する。なお、バンパあるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続してもよい。

第69図において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコード回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフト回路693により、ロジックレベルの電圧値からアナログレベルの電

圧値に昇圧され、アナログスイッチ641に入力される。

電子ポリウム回路の主構成部は、固定抵抗R0691aと16個の単位抵抗r691bで構成されている。デコード回路692の出力は、16個のアナログスイッチ641のいずれかに接続されており、デコード回路692の出力により、電子ポリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコード回路692の出力が4であれば、電子ポリウムの抵抗値はR0+5rとなる。この電子ポリウムの抵抗は、第1段電流源631の負荷となっており、アナログ電源AVddにプルアップされている。したがって、この電子ポリウムの抵抗値が変化すると、第1段電流源631の電流値が変化し、その結果、第2段電流源632の電流値が変化し、その結果、第3段電流源633の電流値も変化して、ドライバICの出力電流はコントロールされることになる。

なお、説明の都合上、電流値制御用データは4ビットとしたが、これは4ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数が多くなることは言うまでもない。また、多段式カレントミラーの構成を3段として説明したが、これも3段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

また、温度変化により、Eし素子の発光輝度が変わるという課題に対して、電子ポリウム回路の構成として、温度により抵抗値が変化する外付け抵抗691aを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示される。一般に、素子に流れる電流に応じて輝度が変わる発光素子は、温度特性を持っており、同じ電圧値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗691aを電子ポリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度を常に一定にすることができ、

なお、前記多段式カレントミラー回路を、赤（R）用、緑（G）用、

WO 03/071998

PCT/JPO2005668

145

費(B)用の3系統に分離することが好ましい。一般に有機EL等の電流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流駆動型発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するために形成または配置したサーミスタ等の外部補助素子の特性も、R、G、Bでそれぞれ調整する必要がある。

本発明では、前記多段式カレントミラー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電圧が小さい。そのため、ソース信号線18などに寄生容量があるとして、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その階号値で数10pF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。この問題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画像のTFT11aの黒表示電流(基本的にはTFT11aはオフ状態)にすることが有効である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

第70図に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ(IC)14の一例を示す。第70図では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。第70図において、プリチャージ制御信号は、画像データD0~D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路70

WO 03/027998

PCT/JPO2004668

146

2でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウンタ回路701の出力とのAND回路703をとり、一定期間黒レベル電圧Vpを出力するように構成されている。他の場合は、第68図などで説明した電流出力段704からの出力電流がソース信号線18に印加される(ソース信号線18からプログラム電流Iwを吸収する)。この構成により、画像データが黒レベルに近い0階号目~7階号目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を0階号目とし、完全白表示を63階号目とする(64階号表示の場合)。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調(低輝度、つまり、電流駆動方式では、書き込み電流が小さい(微小))を選択しプリチャージする(選択プリチャージ)。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下(目視輝度に到達しない)が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の場合では、0階調目から3階調目までの画像データのとき、プリチャージを行ってから、画像データを書き込む)。

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。これにより、極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。Eは表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調3から1/8の領域の階調で、選択プリチャージを行う(たとえば、64階調の場合では、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)、他の色(G、B)は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の場合では、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)などの制御を行う。また、プリチャージ電圧も、Rは7(V)であれば、他の色(G、B)は、7.5(V)の電圧をソース電圧18に書き込むようにする。最適なプリチャージ電圧は、Eは表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この階調回路も電子ポリウム回路を用いることにより容易に実現できる。

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ(1C)14内においてロジック回路を構成(設計)することにより容易に実現できる。

第75図は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ポリウム回路により、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動TFT11aのVtに相関するものであり、この画

素16はR、G、B画面で同一だからである。逆に、画素16の駆動TFT11aのW/L比などがR、G、Bで異ならせている(異なった設計となっている)場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、Lが大きくなれば、TFT11aのゲイオード特性は悪くなり、ソースドレイン(SD)電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位(Vcd)に対して低く設定する必要がある。

プリチャージ電圧PVはアナログスイッチ731に入力されている。このアナログスイッチのW(チャネル幅)はオン抵抗を低減するため、10 $\mu$ m以上にすることがある。しかし、あまりWが大いとい、寄生容量も大きくなるので100 $\mu$ m以下にする。さらに好ましくは、チャネル幅Wは15 $\mu$ m以上60 $\mu$ m以下にする。以上の事項は第75図のスイッチ641bのアナログスイッチ731、第78図のアナログスイッチ731にも適用される。

スイッチ641aはプリチャージネーブル(PEN)信号、選択プリチャージ信号(PSL)、および第74図のロジック信号の上位3ビット(H5、H4、H3)で制御される。一例としたロジック信号の上位3ビット(H5、H4、H3)の意味は、上位3ビットが"0"のときに選択プリチャージが実施されるようにしたためである。つまり、上位3ビットが"1"のとき(階調0から階調7)を選択してプリチャージが実施されるように構成している。

なお、この選択プリチャージは、階調0のみをプリチャージするか、階調0から階調7の範囲でプリチャージするなどのように固定してもよいが、低階調領域(第79図の階調0から階調R1もしくは階調(R1-1))を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調0から階調R1の時はこの範囲で実施し、低階調領域が階調0から階調R2の時はこの範囲で実施するように連動させて実施する。なお、この制御方式

WO 03/027998

PCT/JPO2006/0668

150

の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ641aがオンオフ制御され、スイッチ641aオンのとき、プリチャージ電圧PVがソース信号線18に印加される。なお、プリチャージ電圧PVを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できよう構成されている。また、プリチャージ電圧の印加時間は、水平走査期間（1H）の1/100以上1/5以下の時間に設定することが好ましい。たとえば、1Hが100μsecとすれば、1μsec以上20μsecとする。さらに好ましくは、2μsec以上10μsecとする。

また、プリチャージ印加時間は、R、G、Bで異ならせたりすることもある。たとえば、Rのプリチャージ時間をG、Bのプリチャージ時間よりも長くするなどである。これは、有機ELなどでは、RGBの各材料が発光開始時間などが異なるからである。また、次にソース信号線18に印加する画像データにより、プリチャージ電圧PV印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができ。たとえば、1H前にソース信号線に画素を白表示にする電圧を書き込み、次の1Hに、画素に黒表示にする電流を書き込む場合は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1H前にソース信号線に画素を黒表示にする電流を書き込み、次の1Hに、白素に黒表示にする電流を書き込む場合は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

また、印加する画像データに応じてプリチャージ電圧を変化させることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み

WO 03/027998

149

PCT/JPO2006/0668

み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Vddに対して、なお、画素TFT11aがPチャネルのとき）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素TFT11aがPチャネルのとき）する。

6 プログラム電流ソース端子（PO端子）が“0”のときは、スイッチ641bがオフ状態となり、IL端子およびIH端子のソース信号線18とは切り離される（Iout端子が、ソース信号線18と接続されている）。したがって、プログラム電流Iwはソース信号線18には流れない。PO端子はプログラム電流Iwをソース信号線に印加している時は、“1”とし、スイッチ641bをオンして、プログラム電流Iwをソース信号線18に流す。

PO端子に“0”を印加し、スイッチ641bをオンにすると、表示領域のいずれの画素行も選択されていない時である。電流源634は入力データ（D0～D5）に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16のVdd端子からTFT11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていないときは、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線18に流れ込む（流れ出す）経路がない状態を、全非選択期間と平ぶ。

この状態で、IOUT端子がソース信号線18に接続されていると、オンしている単位電流源634（実際にはオンしているのはD0～D5端子のデータにより制御されるスイッチ641であるが）に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激に低下する。

以上のように、ソース信号線18の電位が低下すると、本来ソース信

号線 18 に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、P O 端子に“0”を印加し、第 75 図のスイッチ 641b をオフとして、I O U T 5 端子とソース信号線 18 とを切り離す。これにより、ソース信号線 18 から電流源 634 に電流が流れ込むことはなくなるから、全非選択期間にソース信号線 18 の電位変化は発生しない。以上のように、全非選択期間に P O 端子を駆動し、ソース信号線 18 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

10 また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）とが混在し、白面積と黒面積との割合が一定の範囲のとき、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に綻びが発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いたとき、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積とに該当する画像のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、B で異ならせることも有効である。EL 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1：2.0 以上でプリチャージを停止または開始し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1：1.6 以上でプリチャージを停止または開始するとい

20 う構成である。なお、実験および検討結果によれば、有機 EL パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が 1：1.00 以上（つまり、黒面積が白面積の 1.00 倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1：2.00 以上（つまり、黒面積が白面積の 2.00 倍以上）でプリチャ

ージを停止することが好ましい。

プリチャージ電圧 P V は、画素 16 の駆動 T F T 11a が P チャネルの場合、V d d（第 1 図を参照）に近い電圧をソースドライバ（I C）14 から出力する必要がある。しかし、このプリチャージ電圧 P V が V d d に近いほど、ドライバ回路（I C）14 は高圧プロセスの半導体を使用する必要がある（高圧圧といっても、5（V）～10（V）であるが、しかし、5（V）電圧を超えると、半導体プロセス価格が高くなる点が課題である。したがって、5（V）電圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる）。

10 画素 16 の駆動用 T F T 11a のダイオード特性が良好で白表示のオン電流が確保された場合、5（V）以下であれば、ソースドライバ 14 も 5（V）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が 5（V）を超えると、問題となる。特に、プリチャージは、T F T 11a のソース電圧 V d d に近いプリチャージ電圧 P V を印加する必要がある。I C 14 から出力することができなくなる。

15 第 92 図は、この課題を解決するパネル構成である。第 92 図では、アレイ 71 側にスイッチ回路 641 を形成している。ソースドライバ 14 からは、スイッチ 641 のオンオフ信号を出力する、このオンオフ信号は、アレイ 71 に形成されたレベルシフト回路 693 で昇圧され、スイッチ 641 をオンオフ動作させる。なお、スイッチ 641 およびレベルシフト回路 693 が画素の T F T を形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（I C）で別途形成し、アレイ 71 上に実装などしてもよい。

20 オンオフ信号は、先に説明（第 75 図など）したプリチャージ条件に基づいて、I C 14 の端子 761a から出力される。したがって、プリチャージ電圧の印加、駆動方法は第 92 図の実施例においても適用できることは言うまでもない。端子 761a から出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路 693 でス

スイッチ641のオンオフロジックレベルまで振幅が大きくなる。

以上のように構成することにより、ソースドライバ(1C)14はプログラム電流Iwを駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧PVは、動作電圧が高いアレイ基板71で振盪はなくなる。したがって、プリチャージもVdd電圧まで十分印加できるようになる。

第89図のスイッチ回路641もソースドライバ(1C)14内に形成(配置)するとすると問題となる。たとえば、図素16のVdd電圧が、1C14の電源電圧よりも高い場合、1C14の端子761に1C14を破壊するような電圧が印加される危険があるからである。

この問題を解決する実施例が第91図の構成である。アレイ基板71にスイッチ回路641を形成(配置)している。スイッチ回路641の構成などは第92図で説明した構成、仕様などと同一または近似である。

スイッチ641は1C14の出力よりも先で、かつソース信号線18の途中に配置されている。スイッチ641がオンすることにより、図素16をプログラムする電流Iwがソースドライバ(1C)14に流れ込む。スイッチ641がオフすることにより、ソースドライバ(1C)14はソース信号線18から切り離される。このスイッチ641を制御することにより、第90図に図示する駆動方式などを実施することができる。

第92図と同様に端子761aから出力される電圧(信号)は、5(V)以下と低い。この電圧(信号)がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくなる。

以上のように構成することにより、ソースドライバ(1C)14はプログラム電流Iwを駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ641もアレイ71の電源電圧で動作するため、図素16からVdd電圧がソース信号線18に印加されてもスイッチ641が破壊することはなく、また、ソースドライバ(1C)14が破壊され

ることもない。

なお、第91図のソース信号線18の途中に配置(形成)されたスイッチ641とプリチャージ電圧PV印加用スイッチ641の双方をアレイ基板71に形成(配置)してもよいことは言うまでもない(第91図+第92図の構成)。

以前にも説明したが、第1図のように図素16の駆動用TFT11a、選択TFT(11b、11c)がPチャンネルTFTの場合、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択TFT(11b、11c)のG-S容量(寄生容量)を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときにはVgh電圧となる。そのため、コンデンサ19の端子電圧がVdd側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より顕表示となる。

しかし、反面、第1増調の完全黒表示は実現できるが、第2階調などは表示しにくいことになる。もしくは、第1階調から第2階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。この問題を解決する構成が、第71図の構成である。出力電流値を上上げる機能を有することを特徴としている。増上げ回路711の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベルであっても、ある程度(数10nA)電流が流れるようにし、黒レベルの調整にも用いることができる。

基本的には、第71図は、第64図の出力段に増上げ回路(第71図の点線で囲まれた部分)を追加したものである。第71図は、電流値を上げる制御信号として3ビット(K0、K1、K2)を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0〜7倍の電流値を出力電流に加算することが可能である。

以上が本発明のソースドライバ(1C)14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ(1C)14について説明

をする。

EL素子15に流す電流I(A)と発光輝度B(n t)とは線形の関係がある。つまり、EL素子15に流す電流I(A)と発光輝度B(n t)とは比例する。電流駆動方式では、1ステップ(階調刻み)は、電流(電流源634(1単位))である。

人間の輝度に対する感覚は2乗特性をもっている。つまり、2乗の倍で変化するとき、明るさは直線的に変化しているように認識される。しかし、第83図の関係である、低輝度領域でも高輝度領域でも、EL素子15に流す電流I(A)と発光輝度B(n t)とは比例する。したがって、1ステップ刻みずつ変化させると、低階調部(黒領域)では、1ステップに於ける輝度変化が大きい(黒飛びが発生する)、高階調部(白領域)は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式(1ステップが電流刻みの場合)において(電流駆動方式のソースドライバ(1C)14において)、黒表示領域が問題となる。

この課題に対して、本発明は、第79図に図示するように、低階調領域(階調0(完全黒表示)から階調(R1))の電流出力の傾きを小さくし、高階調領域(階調(R1)から最大階調(R))の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに(1ステップ)増加する電流量を小さくする。高階調領域では、1階調あたりに(1ステップ)増加する電流量を大きくする。第79図の2つの階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の第79図などに図示する、階調-電流特性カーブをガンマカーブと呼ぶ。

なお、以上の実施例では、低階調領域および高階調領域の2段階の電流傾きとしたが、これに限定するものではない、3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単に

なるので好ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ(IC)などにおいて(基本的には)電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。)階調1ステップあたりの電流増加量を増設存在させることである。

Eなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ(IC)14では、1つの電流源(1単位)634に流れるものとなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

EL表示パネルでは、R、G、Bで発光効率異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を2μAにし、Gの基準電流を1.5μAにし、Bの基準電流を3.5μAにする。なお、本発明のドライバでは、第67図における第1段の電流源631のカラントミラー倍率を小さくし(たとえば、基準電流が1μAであれば、トランジスタ632に流れる電流を1/100の10nAにするなど)、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

第79図のガンマカーブを実現できるように、本発明のソースドライバは、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGBで独立に調整できるように、RGBごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色(たとえば、Gを固定している場合は、R、B)を調整する低階調領域の基準電流の



WO 03/027998

PCT/JPO2006/0648

158

る基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを接続し、これらを相対的に流す電流を調整するリファムを作製（配置）すればよいからである。

第77図はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路772で低電流領域の基準電流源771と高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、電流源633L、633Hに流れる電流を変化させる。

また、第78図に図示するように、ICチップ（回路）14内に形成した温度検出回路781で相対的な表示パネルの温度を検出することにより、有機EL素子は、RGBを構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路782にフィードバックし、電流制御回路772により温度補償を行う。

なお、ガンマ比率は、発明者等の検討によると、3以上10以下の関係にすることが適切である。さらに好ましくは、4以上8以下の関係にすることが適切である。特にガンマ電流比率は5以上7以下の関係を満たすことが好ましい。これを第1の関係と呼ぶ。

また、低階調部と高階調部との変化ポイント（第79図の階調R1）は、最大階調数Kの1/32以上1/4以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、64/32=2階調番目以上、64/4=16階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（第79図の階調R1）は、最大階調数Kの1/16以上1/4以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、64/16=4階調番目以上、64/4=16階調番目以下にする）。さらに好ましくは、最大階調数Kの1/10以上1/5以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たと

PCT/JPO2006/0648

157

調整回路および高階調領域の基準電流の調整回路を具備せればよい。電流駆動方式は、第83図にも図示したように、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

しかし、第79図のガンマカーブの場合は、少し注意が必要である。まず、RGBのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調R1）をRGBで同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるといことになる）。また、低階調領域の傾きと高階調領域の傾きとの比率をRGBで、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるといことになる）。たとえば、低階調領域で1階調あたり10nA増加（低階調領域でのガンマカーブの傾き）し、高階調領域で1階調あたり50nA増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で1階調あたり電流増加量/低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、50nA/10nA=5である）。すると、RGBでガンマ電流比率を同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子15に流れる電流を調整するように構成する。

第80図はそのガンマカーブの例である。第80図(a)では、低階調部と高階調部とも1階調あたりの電流増加が大さい。第80図(b)では、低階調部と高階調部とも1階調あたりの電流増加は第80図(a)に比較して小さい。ただし、第80図(a)、第80図(b)ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、RGBで同一に維持したまま調整することは、各色に、低階調部に印加す

えは、最大階調数Kが6ビットの64階調とすれば、 $64/10=6$ 階調番目以上、 $64/5=12$ 階調番目以下にする）。以上の関係を第2の関係と呼ぶ。なお、以上の説明は、2つの電流領域のガンマ電流比率の関係である。しかし、以上の第2の関係は、3つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が2箇所以上ある）場合にも適用される。つまり、3つ以上の傾きに對し、任意の2つの傾きに對する関係に適用すればよい。

以上の第1の関係および第2の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

第82図は、本発明の電流駆動方式のソースドライバ（IC）14を1つの表示パネルに複数個用いた実施例である。本発明のソースドライバ14は複数のドライバIC14を用いることを想定した、スレーブ／マスター（S/M）端子を具備している。S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのIC14（14a、14c）の第73図、第74図のINL、JNH端子に流れる電流となる。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が第73図、第74図のINL、JNH端子に流れる電流となる。

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の2系統である。したがって、RGBの3色では、 $3 \times 2$ で6系統となる。なお、上記の実施例では、各色2系統としたがこれに限定するものではなく、各色3系統以上であっても良い。

本発明の電流駆動方式では、第81図に図示するように、折れ曲がり点（階調R1など）を変更できるように構成している。第81図（a）では、階調R1で低階調部と高階調部とを変化させ、第81図（b）で

は、階調R2で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

具体的には、本発明では64階調表示を実現できる。折れ曲がり点（R1）は、なし、2階調目、4階調目、8階調目、16階調目としている。なお、完全黒表示を階調0としているため、折れ曲がり点は2、4、8、16となるのであって、完全に黒表示の階調1とするのであれば、折れ曲がり点は、3、5、9、17、33となる。以上のように、折れ曲がり位置を2の倍数の箇所（もしくは、2の倍数+1の箇所：完全黒表示を階調1とした場合）でできるように構成することにより、回路構成が容易になるという効果が生ずる。

第73図は低電流領域の電流源回路部の構成図である。また、第74図は高電流領域の電流源部および電流源回路部の構成図である。第73図に図示するように低電流源回路部は基準電流INLが印加され、基本的にはこの電流が単位電流となり、入力データL0～L4により、この電流が単位電流となり、入力データL0～L4により、電流源634が必要個数動作し、その総和として低電流部の電流IwLが流れる。

また、第74図に図示するように高電流源回路部は基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データH0～H5により、電流源634が必要個数動作し、その総和として低電流部の電流IwHが流れる。

電流源回路部も同様であって、第74図に図示するように基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データAK0～AK2により、電流源634が必要個数動作し、その総和として電流IwHが流れる。

ソース信号線18に流れる電流Iwは $Iw = IwH + IwL + IwK$ である。なお、IwHとIwLとの比率、つまりガンマ電流比率は、先にも説明した第1の関係を満足させるようにする。

なお、第73図、第74図に図示するようにオンオフスイッチ641

WO 03/077998

PCT/JPO2006/668

162

で構成されている。このトランジスタをオンオフさせることにより、プログラム電流1wの制御（オンオフ制御）が容易になる。

第84図は、低電流領域と高電流領域とを階調4で切り替える場合の低電流制御信号線（L）および高電流制御信号線（H）の印加信号である。

5 なお、第84図から第86図において、階調0から18まで図示しているが、実線は63階調までである。したがって、各図面において階調18以上は省略している。また、表の“1”の時にスイッチ641がオンし、該当電流源634とソース信号線18とが接続され、表の“0”の時にスイッチ641がオフするとしている。

10 第84図において、完全黒表示の階調0の場合は、 $(L0 \sim L4) = (0, 0, 0, 0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流1w=0である。

階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641La、641Lbがオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調4では、 $(L0 \sim L4) = (1, 1, 0, 0, 1, 0, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0, 0, 0, 0)$ である。したがって、低電流領域

WO 03/077998

PCT/JPO2006/668

161

は、インバータ732とPチャネルトランジスタとNチャネルトランジスタからなるアナログスイッチ731から構成される。このようにスイッチ641を、インバータ732とPチャネルトランジスタとNチャネルトランジスタからなるアナログスイッチ731から構成することにより、オン抵抗を低下させることができ、電流源634とソース信号線18との間の電圧降下を極めて小さくすることができる。

第73図の低電流回路部と第74図の高電流回路部の動作について説明をする。本発明のソースドライバ（IC）14は、低電流回路部L0～L4の5ビットで構成され、高電流回路部H0～H5の6ビットで構成される。なお、回路の外部から入力されるデータはD0～D5の6ビット（各色64階調）である。この6ビットデータをL0～L4の5ビット、高電流回路部H0～H5の6ビットに変換してソース信号線に画像データに対応するプログラム電流1wを印加する。つまり、入力6ビットデータを、 $5+6=11$ ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

15 以上のように、入力6ビットデータを、 $5+6=11$ ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（H）は、入力データ（D）のビット数と同一にし、低電流領域の回路のビット数（L）は、入力データ（D）のビット数-1としている。なお、低電流領域の回路のビット数（L）は、入力データ（D）のビット数-2とし、高電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

以下、低電流領域の回路制御データ（L0～L4）と高電流領域の回路制御データ（H0～H4）との制御方法について、第84図から第86図を参照しながら説明をする。

本発明は第73図のL4端子に接続された、電流源634aの動作に特徴がある。この634aは1単位の電流源となる1つのトランジスタ

の3つのスイッチ641La, 641Lb, 641Leがオンし、4つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

5 階調5以上では、低電流領域(L0~L4) = (1, 1, 0, 0, 1)は変化がない。しかし、高電流領域において、階調5では(H0~H5) = (1, 0, 0, 0, 0)であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641iがソース信号線18と接続されている。また、階調6では(H0~H5) = (0, 1, 0, 0, 0)であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641iがソース信号線18と接続される。同様に、階調7では(H0~H5) = (1, 1, 0, 0, 0)であり、2つのスイッチ641Ha, スイッチ641Hbがオンし、高電流領域の3つの単位電流源641iがソース信号線18と接続される。さらに、階調8では(H0~H5) = (0, 0, 1, 0, 0)であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641iがソース信号線18と接続される。以後、第84図のように順次スイッチ641iがオンオフし、プログラム電流:wがソース信号線18に印加される。

15 以上の動作で特徴的なのは、折れ曲がり点(低電流領域と高電流領域の切り換わり点、正確には、プログラム電流Iwとしては、高電流領域の階調の場合、低電流IwLが加算されているので、切り換り点という表現は正しくない。また、嵩上げ電流:wKも加算される、つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ(階調)に印じた電流がプログラム電流Iwとなっているのである。1ステップの階調(電流が変化する点あるいはポイントもしくは位置というべきであろう))を境として、低電流領域の制御ビット(L)が変化しない点である。また、この時、第73図のL4端子に"1"となり、スイッチ641eがオンし、トランジスタ634aに電流が流れている点である。

したがって、第84図の階調4では低階調部の単位トランジスタ(電流源)634が4個動作している。そして、階調5では、低階調部の単位トランジスタ(電流源)634が4個動作し、かつ高階調部のトランジスタ(電流源)634が1個動作している。以後同様に、階調6では、低階調部の単位トランジスタ(電流源)634が4個動作し、かつ高階調部のトランジスタ(電流源)634が2個動作する。したがって、折れ曲がりポイントである階調5以上では、折れ曲がりポイント以下の低階調領域の電流源634が階調分(この場合、4個)オンし、これに加えて、順次、高階調部の電流源634が階調に応じた個数順次オンしていく。

10 したがって、第73図におけるL4端子のトランジスタ634aの1個は有用に作用していることがわかる。このトランジスタ634aがないと、階調3の次に、高階調部のトランジスタ634が1個オンする動作になる。そのため、切り替わりポイントが4, 8, 16というように2の乗数にならない。2の乗数は1倍号のみが"1"となった状態である。したがって、2の重み付けの倍号ラインが"1"となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができ、つまり、ICチップの論理回路が簡略化し、結果としてチップ面積の小さいICを設計できるのである(低コスト化が可能である)。

20 第85図は、低電流領域と高電流領域とを階調8で切り替える場合の低電流側倍信号線(L)および高電流側倍信号線(H)の印加信号の説明図である。

25 第85図において、完全黒表示の階調0の場合は、第84図と同様であり、(L0~L4) = (0, 0, 0, 0, 0)であり、(H0~H5) = (0, 0, 0, 0, 0)である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流Iw=0である。

WO 03/027998

PCT/JF02/09668

165

= (1, 0, 0, 0, 0) であり、スイッチ 641Ha がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 634 の個数が 1 個ずつ増加する。つまり、階調 10 では (H0~H5) = (0, 1, 0, 0, 0) であり、スイッチ 641Hb がオンし、高電流領域の 2 つの単位電流源 641 がソース信号線 18 と接続される。同様に、階調 11 では (H0~H5) = (1, 1, 0, 0, 0) であり、2 つのスイッチ 641Ha スイッチ 641Hb がオンし、高電流領域の 3 つの単位電流源 641 がソース信号線 18 と接続される。さらに、階調 12 では (H0~H5) = (0, 0, 1, 0, 0) であり、1 つのスイッチ 641Hc がオンし、高電流領域の 4 つの単位電流源 641 がソース信号線 18 と接続される。以後、第 84 図のように順次スイッチ 641 がオンオフし、プログラム電流 1w がソース信号線 18 に印加される。

第 86 図は、低電流領域と高電流領域とを階調 16 で切り替える場合の低電流側信号線 (L) および高電流側信号線 (H) の印加信号の説明である。この場合も第 84 図、第 85 図と基本的な動作は同じである。つまり、第 86 図において、完全黒表示の階調 0 の場合は、第 85 図と同様であり、(L0~L4) = (0, 0, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、すべてのスイッチ 641 はオフ状態であり、ソース信号線 18 にはプログラム電流 1w = 0 である。同様に階調 1 から階調 16 までは、高電流領域の (H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 1 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。つまり、低階調領域の (L0~L4) のみが増加する。

つまり、階調 1 では、(L0~L4) = (1, 0, 0, 0, 0) であ

PCT/JF02/09668

166

同様に階調 1 では、(L0~L4) = (1, 0, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 1 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

階調 2 では、(L0~L4) = (0, 1, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 2 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

階調 3 では、(L0~L4) = (1, 1, 0, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 2 つのスイッチ 641La, 641Lb がオンし、3 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

以下も同様に、階調 4 では、(L0~L4) = (0, 0, 1, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。また、階調 5 では、(L0~L4) = (1, 0, 1, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。階調 6 では、(L0~L4) = (0, 1, 1, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。また、階調 7 では、(L0~L4) = (1, 1, 1, 0, 0) であり、(H0~H5) = (0, 0, 0, 0, 0) である。

階調 8 が切り替わりがイント(折れ曲がり位置)である。階調 8 では、(L0~L4) = (1, 1, 1, 0, 1) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 4 つのスイッチ 641La, 641Lb, 641Lc, 641Le がオンし、8 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

階調 8 以上では、低電流領域 (L0~L4) = (1, 1, 1, 0, 1) は変化がない。しかし、高電流領域において、階調 9 では (H0~H5)

り、階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、階調2では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ である。以下階調16まで順次カウラントされる。つまり、階調15では、 $(L0 \sim L4) = (1, 1, 1, 1, 0)$ であり、階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ である。階調16では、階調を示すD0～D5の5ビット目(D4)のみが1本オンするため、データD0～D5の表現している内容が16であるということが、1データ信号線(D4)の判定で決定できる。したがって、論理回路のハード規模を小さくすることができる。

10 階調16が切り替わりポイント(折れ曲がり位置)である(もしくは階調17が切り替わりポイントというべきであるかもしれない)。階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641Ld、641Leがオンし、16個の単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調16以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 1, 0)$ 、1)は変化がない。しかし、高電流領域において、階調17では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。以下、同様、階調ステップに応じて、高電流領域のトランジスタ634の個数が1個ずつ増加する。つまり、階調18では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調19では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ641Haスイッチ641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さ

らに、階調20では $(H0 \sim H5) = (0, 0, 1, 0, 0)$ であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。

5 以上のように、切り替わりポイント(折れ曲がり位置)で、2の乗数の個数の電流源(1単位)634がオンもしくはソース信号線18と接続(逆に、オフとなる構成も考えられる)するように構成するロジック処理などがきわめて容易になる。たとえば、第84図に図示するように折れ曲がり位置が階調4(4は2の乗数である)であれば、4個の電流源(1単位)634が動作するなどのように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。また、第85図に図示するように折れ曲がり位置が階調8(8は2の乗数である)であれば、8個の電流源(1単位)634が動作するなどのように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。本発明の構成を採用すれば、64階調に限らず(16階調:4096色、256階調:16770万色など)、あらゆる階調表現で、ハード構成が小さなゲーマ制御回路を構成できる。

なお、第84図、第85図、第86図で説明した実施例では、切り替わりポイントの階調が2の乗数となるとしたが、これは、完全黒表示の階調を0とした場合である。階調1を完全黒表示とする場合は、+1する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域(低電流領域、高電流領域など)を有し、その切り替わりポイントを信号入力が少なく判定(処理)できるように構成することである。その一例として、2の乗数であれば、1信号線を抽出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源634aを付加する。したがって、負論理であれば、2、4、8・・・ではなく、階調1、3、7、15・・・で切り替わりポイントとすればよい。また、階調0

WO 03/027998

PCT/JPO200668

170

なお、先にも説明したが、電流出力回路704は、高電流領域電流出力回路704a、低電流領域電流出力回路704b、電流嵩上げ電流出力回路704cの3つに限定するものではなく、高電流領域電流出力回路704aおよび低電流領域電流出力回路704bの2つでもよく、また、3つ以上の電流出力回路704から構成してもよい。また、基準電流源771はそれぞれの電流領域電流出力回路704に対応して配置または形成してもよく、また、すべての電流領域電流出力回路704に共通にしてもよい。

以上の電流出力回路704が階調データに対応して、内部のトランジスタ634が動作し、ソース信号線18から電流を吸収する。前記とトランジスタ634は、1水平走査期間(1H)信号に同期して動作する。つまり、1Hの期間の間、該当する階調データに基づく電流を入力する(トランジスタ634がNチャネルの場合)。

一方、ゲートドライバ12も1H信号に同期して、基本的には1本のゲート信号線17aを頂次選択する。つまり、1H信号に同期して、第1H期間にはゲート信号線17a(1)を選択し、第2H期間にはゲート信号線17a(2)を選択し、第3H期間にはゲート信号線17a(3)を選択し、第4H期間にはゲート信号線17a(4)を選択する。

しかし、第1のゲート信号線17aが選択されてから、次の第2のゲート信号線17aが選択される期間には、どのゲート信号線17aも選択されない期間(非選択期間、第88図のt1を参照)を設ける。非選択期間は、ゲート信号線17aの立ち上がり期間、立下り期間が必要であり、TFT11dのオンオフ制御期間を確保するために設ける。

いずれかのゲート信号線17aにオン電圧が印加され、画素16のTFT11b、TFT11cがオンしていれば、Vdd電源(アノード電圧)から駆動用TFT11aを介して、ソース信号線18にプログラム電流Iwが流れる。このプログラム電流Iwがトランジスタ634に流れる(第88図のt2期間)。なお、ソース信号線18には寄生容量C

PCT/JPO200668

169

を完全黒表示としたが、これに限定するものではない。たとえば、64階調表示であれば、階調63を完全黒表示状態とし、階調0を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、2の乗数から処理上、異なる構成となる場合がある。

また、切り替わりポイント(折れ曲がり位置)が1つのガンマカーブに設定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置を階調1および階調16に設定することができる。また、階調4、階調16、および階調32というように3ポイント以上に設定することもできる。

また、以上の実施例は、階調を2の乗数に設定するとして説明したが、本発明はこれに限定するものではない。たとえば、2の乗数の2と8(2+8=10階調目、つまり、判定に要する信号線は2本)とで折れ曲がり点を設定してもよい。それ以上の、2の乗数の2と8と16(2+8+16=26階調目、つまり、判定に要する信号線は3本)とで折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができ、また、以上の説明した事項は本発明の技術的範囲に含まれることは言うまでもない。

第87図に図示するように、本発明のソースドライバ(IC)14は3つの部分の電流出力回路704から構成されている。高電流領域で動作する高電流領域電流出力回路704aであり、低電流領域および高階調領域で動作する低電流領域電流出力回路704bであり、嵩上げ電流を出力する電流嵩上げ電流出力回路704cである。

高電流領域電流出力回路704aと電流嵩上げ電流出力回路704cは高電流を出力する基準電流源771aを基準電流として動作し、低電流領域電流出力回路704bは低電流を出力する基準電流源771bを基準電流として動作する。

が発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

しかし、いずれのゲート信号線17aも選択されていない期間（非選択期間（第88図のt1期間））ではTFT11aを流れる電流経路がない。トランジスタ634は電流を流すから、ソース信号線18の寄生容量から電荷を吸収する。そのため、ソース信号線18の電位が低下する（第88図のAの部分）。ソース信号線18の電位が低下すると、次の画像データに対応する電荷を書き込むのに時間がかかる。

この問題を解決するため、第89図に図示するように、ソース端子761との出力域にスイッチ641aを形成する。また、電上げ電流出力回路704cの出力域にスイッチ641bを形成または配置する。

非選択期間t1に、制御端子S1に所望信号を印加し、スイッチ641aをオフ状態にする。選択期間t2ではスイッチ641aをオン状態（導通状態）にする。オン状態の時にはプログラム電流Iw=IwH+IwL+IwKが流れる。スイッチ641aをオフにするとIw電流は流れない。したがって、第90図に図示するように第88図のAのような電位に低下しない（変化はない）。なお、スイッチ641のアナログスイッチ731のチャネル幅Wは、10μm以上100μm以下にする。このアナログスイッチのW（チャネル幅）はオン抵抗を低減するために、10μm以上にする必要はある。しかし、あまりWが大きいと、寄生容量も大きくなるので100μm以下にすることが好ましい。さらに好ましくは、チャネル幅Wは15μm以上60μm以下にする。

スイッチ641bは低階調表示のみに制御するスイッチである。低階調表示（黒表示）のときは、画素16のTFT11aのゲート電位はVddに近づく必要がある（したがって、黒表示では、ソース信号線18の電位はVdd近くに必要がある）。また、黒表示では、プログラム電流Iwが小さく、第88図のAのように一旦、電位が低下してしまふと、正規の電位に復帰するのに長時間を要する。

そのため、低階調表示の場合は、非選択期間t1が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流Iwが大きいため、非選択期間t1が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ641a、スイッチ641bの両方をオンさせておく。また、電上げ電流IwKも初期しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ641aをオンさせておく、スイッチ641bはオフするというように駆動する。スイッチ641bは端子S2で制御する。

もちろん、低階調表示および高階調表示の両方で、非選択期間t1にスイッチ641aをオフ（非導通状態）、スイッチ641bはオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間t1にスイッチ641a、スイッチ641bの両方をオフ（非導通）させた駆動を実施してもよい。いずれにしても、制御端子S1、S2の制御でスイッチ641を制御できる。なお、制御端子S1、S2はコマンド制御で制御する。

たとえば、制御端子S2は非選択期間t1をオーバーラップするようにt3期間を"0"ロジックレベルとする。このように制御することにより、第88図のAの状態は発生しない。また、階調が一定以上の黒表示レベルのときは、制御端子S1を"0"ロジックレベルとする。すると、電上げ電流IwKは停止し、より黒表示を実現できる。

以上の実施例は、表示パネルに1つのソースドライバ14を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ14を1つの表示パネルに複数積載する構成でもよい。たとえば、第93図は3つのソースドライバ14を積載した表示パネルの実施例である。

本発明のソースドライバ14は、第73図、第74図、第76図、第77図などでも説明したように、少なくとも低階調領域の基準電流と、



WO 03/027998

PCT/JPO02/0668

173

高階層領域の基準電流との2系統を具備する。このことは、第82図でも説明をした。

第82図でも説明したように、本発明の電流駆動方式のソースドライバ(IC)14は複数のドライバIC14を用いることを想定した、スレーブ/マスター(S/M)端子を具備している。S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子(図示せず)から、基準電流を出力する。もちろん、S/M端子のロジックは逆極性でもよい。また、ソースドライバ14へのコマンドにより切り替えてもよい。基準電流は可スケート電流検線931で伝達される。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子(図示せず)から、マスターチップの基準電流を受け取る。この電流が第73図、第74図のINL、INH端子に流れる電流となる。

基準電流はICチップ14の中央部(真中部分)の電流出力回路704で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはIC内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

なお、ICチップ14の中央部にはコントロール回路(コマンドデコードなど)なども形成(配置)される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子761との間の距離を極力短くするためである。

第93図の構成では、マスターチップ14bより基準電流が2つのスレーブチップ(14a、14c)に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、線、子、孫電流を発生させる。なお、マスターチップ14bがスレーブチップに受け渡す基準電流は、カレントミトラ回路の電流受け渡しにより行う(第67図を参照のこと)。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

WO 03/027998

PCT/JPO02/0668

174

第94図は基準電流の受け渡し端子位置を概念的に図示している。ICチップの中央部に配置されて信号入力端子941iに基準電流信号線932が接続されている。この基準電流信号線932に出力される電流(なお、電圧の場合もある。第76図を参照のこと)は、EL材料の温特相値がされている。また、EL材料の寿命劣化による補償がされている。

基準電流信号線932に印加された電流(電圧)に基づき、チップ14内で各電流源(631、632、633、634)を駆動する。この基準電流がカレントミトラ回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子941oから出力される。端子941oは基準電流発生回路704の左右に少なくとも1個以上配置(形成)される。第94図では、左右に2個ずつ配置(形成)されている。この基準電流が、カスケード信号線931a1、931a2、931b1、931b2でスレーブチップ14に伝達される。なお、スレーブチップ14aに印加された基準電流を、マスターチップ14bにフィードバックし、ずれ量を補正するように回路を構成してもよい。

有機EL表示パネルをモジュール化する際、問題となる事項に、アノード配線951、カソード配線の引き回し(配置)の抵抗値の問題がある。有機EL表示パネルは、EL素子15の駆動電圧が比較的低いかわりに、EL素子15に流れる電流が大きい。そのため、EL素子15に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2インチクラスのEL表示パネルでも高分子EL材料では、200mA以上の電流をアノード配線951に流す必要がある。そのため、アノード配線951の電圧降下を防止するため、アノード配線は1Ω以下に低抵抗化する必要がある。しかし、アレイ基板71では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターニングを太くする必要がある。しかし、200mAの電流をほとんど電圧

降下なしで伝達するためには、配線幅が2mm以上になるという課題があった。

第105図は従来の正し表示パネルの構成である。表示領域50の左右に内蔵ゲートドライバ12a、12bが形成（配置）されている。また、ソースドライバ14pも画素16のTFTと同一プロセスで形成されている（内蔵ソースドライバ）。

アノード配線95はパネルの右側に配置されている。アノード配線95にはVdd電圧が印加されている。アノード配線951幅は一例として2mm以上である。アノード配線951は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、QCIFパネルでは、176列×RGB=528本である。一方、ソース信号線18は内蔵ソースドライバ14pから出力されている。ソース信号線18は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ12の電源配線1051も画面の左右に配置されている。

したがって、表示パネルの右側の領域は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭帯域化が重要である。また、画面の左右の領域を均等にすることが重要である。しかし、第105図の構成では、狭帯域化が困難である。

この課題を解決するため、本発明の表示パネルでは、第106図に示すように、アノード配線951はソースドライバ14の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ（IC）14は半導体チップで形成（作製）し、COG（チップオンガラス）技術で基板71に実装している。ソースドライバ14化にアノード配線951を配置（形成）できるのは、チップ14の裏面に基板に垂直方向に10μm〜30μmの空間があるからである。第105図のように、ソースドライバ14pをアレイ基板71に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ14

pの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951を形成することは困難である。

また、第106図に区示するように、共通アノード線962を形成し、ベースアノード線951と共通アノード線962とを接続アノード線961で短絡させている。特に、ICチップの中央部に接続アノード線961を形成した点がポイントである。接続アノード線961を形成することにより、ベースアノード線951と共通アノード線962間の電位差がなくなる。また、アノード配線952を共通アノード線962から分岐している点がポイントである。以上の構成を採用することにより、第105図のようにアノード配線951の引き回しがなくなり、接続線を實現できる。

共通アノード線962が長さ20mmとし、配線幅が150μmとし、配線のシート抵抗を0.05Ω/μmとすれば、抵抗値は20000(μm)/150(μm)×0.05Ω=約7Ωになる。共通アノード線962の両端を接続アノード線961cでベースアノード線951と接続すれば、共通アノード線962には両側給電されるから、見かけ上の抵抗値は、7Ω/2=3.5Ωとなり、また、集分布乗数に置きなおすと、さらに、見かけ上の共通アノード線962の抵抗値は1/2となるから、少なくとも2Ω以下となる。アノード電流が100mAであっても、この共通アノード線962での電圧降下は、0.2V以下となる。さらに、中央部の接続アノード線961bで短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

本発明はベースアノード線951をIC14下に形成すること、共通アノード線962を形成し、この共通アノード線962とベースアノード線951とを電気的に接続すること（接続アノード線961）、共通アノード線962からアノード配線952を分岐させることである。なお、アノード線はカソード線に置き換えることができる。

また、アノード線（ベースアノード線951、共通アノード線962、

WO 03/027998

PCT/JPO2006/68

178

(形成)する。以上のように本発明は、E1表示装置などにおいて、駆動ICを半導体チップで形成(作製)し、このICをアレイ基板711などの基板に直接実装し、かつ、ICチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグラウンドパターンを形成(作製)するものである。

以上の事項を他の図面を参照しながらさらに詳しく説明をする。第9図は本発明の表示パネルの一部の説明図である。第95図において、点線がICチップ14を配置する位置である。つまり、ベースアノード線(アノード電圧線つまり分岐前のアノード配線)がICチップ14の裏面かつアレイ基板711上に形成(配置)されている。なお、本発明の実施例において、ICチップ(12、14)の裏面に分岐前のアノード配線951を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線951のかわりに分岐前のカソード配線あるいはカソード線を形成(配置)してもよい。その他、ゲートドライバ14はCOG技術により電流出力(電流入力)端子741とアレイ711に形成された接続端子953とが接続される。接続端子953はソース信号線18の一端に形成されている。また、接続端子953は953aと953bというように千鳥配置である。なお、ソース信号線の一端には接続端子953が形成され、他の端にもチェック用の端子電極が形成されている。

また、本発明はICチップを電流駆動方式のドライバIC(電流で画面にプログラムする方式)としたが、これに限定するものではない。たとえば、第43図、第53図などの電圧プログラムの画面を駆動する電圧駆動方式のドライバICを積載したE1表示パネル(装置)などにも適用することができる。

接続端子953aと953b間にはアノード配線952(分岐後のアノード配線)が配置される。つまり、太く、低抵抗のベースアノード線

177

接続アノード線961、アノード配線952などを低抵抗化するため、薄膜の配線を形成後、あるいはバタニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができ。以上の事項はカソードに関しても同様である。また、ゲート信号線17、ソース信号線18にも適用することができる。

したがって、共通アノード線962を形成し、この共通アノード線962を接続アノード線961で両側給電を行う構成の効果は高く、また、中央部に接続アノード線961b(961c)を形成することによりさらに効果が高くなる。また、ベースアノード線951、共通アノード線962、接続アノード線961でループを構成しているため、IC14に入力される電界を抑制することができる。

共通アノード線962とベースアノード線951は同一金属材料で形成し、また、接続アノード線961も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も低抵抗の低い金属材料あるいは構成で実現する。一般的に、ソース信号線18の金属材料および構成(SDレイヤ)で実現する。共通アノード線962とソース信号線18とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料(ゲート信号線17と同一材料および構成、GEレイヤ)で形成し、絶縁膜で電気的に絶縁する。もちろん、アノード線は、ソース信号線18の構成材料からなる薄膜と、ゲート信号線17の構成材料からなる薄膜とを積層して構成してもよい。

なお、ソースドライバ14の裏面にアノード配線(カソード配線)などのE1素子15に電流を供給する配線を敷設する(配置する、形成する)としたが、これに限定するものではない。たとえば、ゲートドライバ12をICチップで形成し、このICをCOG実装してもよい。このゲートドライバIC12の裏面にアノード配線、カソード配線を配置

951から分岐されたアノード配線952が接続端子953間に形成され、面素16列に沿って配置されている。したがって、アノード配線952とソース信号線18とは平行に形成（配置）される。以上のよう

に構成（形成）することにより、第105図のようににベースアノード線951を画面端に引き回すことなく、各画面素にV<sub>dd</sub>電圧を供給できる。

第96図はさらに、具体的に図示している。第95区との差異は、アノード配線を接続端子953間に配置せず、別途形成した共通アノード線962から分岐させた点である。共通アノード線962とベースアノード線951とは接続アノード線961で接続している。

第96図はICチップ14を透視して裏面の様子を図示したように記載している。ICチップ14は出力端子761にプログラム電流I<sub>pw</sub>を出力する電流出力回路704が配置されている。基本的に、出力端子761と電流出力回路704は規則正しく配置されている。ICチップ14の中央部には親電流源の基本電流を生成する回路、コントロール（制御）回路が形成されている。そのため、ICチップの中央部には出力端子761が形成されていない（電流出力回路704がICチップの中央部に形成できないからである）。

本発明では、第96図の中央部704a部には出力端子761をICチップに作製していない（出力回路がないからである。なお、ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明のICチップはこの点に着目し、ICチップの中央部に出力端子761を形成（配置）せず（ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線961を形成している（ただし、共通アノード線961はアレイ基板71面に形成されている）。接続アノード線961の幅は、50μm以上1000μm以下にする。また、長

さに対する抵抗（最大抵抗）値は、100Ω以下になるようにする。

接続アノード線961でベースアノード線951と共通アノード線962とをショートすることにより、共通アノード線962に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線961はICチップの中央部に出力回路

がない点を有効に利用しているのである。また、ICチップの中央部にダミーパッドとして形成されている出力端子761を削除することにより、このダミーパッドと接続アノード線961とが接触してICチップが電気的に影響を与えないことを防止している。ただし、このダミーパッドがICチップのベース基板（チップのグランド）、他の構成と電気的に絶縁されている場合は、ダミーパッドが接続アノード線961と接触しても全く問題がない。したがって、ダミーパッドをICチップの中央部に形成したままでもよいことは言うまでもない。

さらに具体的には、第99図のように接続アノード線961、共通アノード線962は形成（配置）されている。まず、接続アノード線961は太い部分（961a）と細い部分（961b）とがある。太い部分（961a）は抵抗値を低減するためである。細い部分（961b）は、出力端子963間に接続アノード線961bを形成し、共通アノード線962と接続するためである。

また、ベースアノード線951と共通アノード線962との接続は、中央部の接続アノード線961bだけでなく、左右の接続アノード線961cでもショートしている。したがって、共通アノード線962とベースアノード線951とは3本の接続アノード線961でショートされている。したがって、共通アノード線962に大きな電流が流れても共通アノード線962で電圧降下が発生しにくい。これは、ICチップ14は通常、幅が2mm以上あり、このIC14下に形成されたベースアノード線951の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線951と共

WO 03/027998

PCT/JPO/2006/63

181

通アノード線962とを複数箇所で接続アノード線961によりショートしているため、共通アノード線962の電圧降下は小さくなるのである。

以上のように共通アノード線962での電圧降下を小さくできるのは、ICチップ14下にベースアノード線951を配置(形成)できる点、ICチップ14の左右の位置を用いて、接続アノード線961cを配置(形成)できる点、ICチップ14の中央部に接続アノード線961bを配置(形成)できる点にある。

また、第99図では、ベースアノード線951とカソード電源線(ベースカソード線)991とを絶縁膜102を介して積層させている。この積層した箇所がコンデンサを形成する(この構成をアノードコンデンサ構成と呼ぶ)。このコンデンサは、電源バスコンデンサとして機能する。したがって、ベースアノード線951の急激な電流変化を吸収することができる。コンデンサの容量は、EL表示装置の表示面積をS平方ミリメートルとし、コンデンサの容量をC(pF)としたとき、 $M/200 \leq C \leq M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。Cが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

なお、第99図などの実施例では、ICチップ14下にベースアノード線951を配置(形成)するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、第99図において、ベースカソード線991とベースアノード線951とを入れ替えてもよい。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板71もしくはフレキシブル基板に実装し、半導体チップの下面にEL素子15などの電源あるいはグラウンド電位(電流)を供給する配線などを配置(形成)する点にある。

したがって、半導体チップは、ソースドライバ14に限定されるもの

WO 03/027998

PCT/JPO/2006/63

182

ではなく、ゲートドライバ12でもよく、また、電源ICでもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面にEL素子15などの電源あるいはグラウンドパターンを配線(形成)する構成も含まれる。もちろん、ソースドライバ14およびゲートドライバ12の両方を、半導体チップで構成し、基板71にCOG実装を行っても良い。そして、前記チップの下面に電源あるいはグラウンドパターンを形成してもよい。また、EL素子15への電源あるいはグラウンドパターンとしたがこれに限定するものではなく、ソースドライバ14への電源配線、ゲートドライバ12への電源配線でもよい。また、EL表示装置に限定されるのではなく、液晶表示装置にも適用できる。その他、FED、PDPなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

第97図は本発明の他の実施例である。第95図、第96図、第99図との主な差異は、第95図が出力端子953間にアノード線952を配置したのに対し、第97図では、ベースアノード線951から多数(複数)の細い接続アノード線961dを分岐させ、この接続アノード線961dと共通アノード線962とをショートした点である。また、細い接続アノード線961dと接続端子953と接続されたソース番号線18とを絶縁膜102を介して積層した点である。

アノード線961dはベースアノード線951とコンタクトホール971aとで接続を取り、アノード線952は共通アノード線962とコンタクトホール971bとで接続を取っている。他の点(接続アノード線961a、961b、961c、アノードコンデンサ構成など)などは第96図、第99図と同様であるので説明を省略する。

第99図のAA'線での断面図を第98図に図示する。第98図(a)では、略同一層のソース信号線18を接続アノード線961dが絶縁膜102aを介して積層されている。

絶縁膜102aの膜厚は、500オングストローム以上3000オングストローム(A)以下にする。さらに好ましくは、800オングストローム以上2000オングストローム(A)以下にする。膜厚が薄いと、接続アノード線961dとソース信号線18との寄生容量が大きくなり、また、接続アノード線961dとソース信号線18との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜102は、ポリビフェニール樹脂、フェノール樹脂、VA樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO<sub>2</sub>、SiNxなどの無機材料が例示される。その他、A12O<sub>3</sub>、Ta<sub>2</sub>O<sub>3</sub>などであってもよいことは言うまでもない。また、第98図(a)に図示するように、最表面には絶縁膜102bを形成し、配線961などの腐食、機械的損傷を防止させる。

第98図(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961dが絶縁膜102aを介して積層されている。以上のように構成することにより、ソース信号線18の段差によるソース信号線18と接続アノード線961dとのシミュートを抑制することができ、第98図(b)の構成では、接続アノード線961dの線幅は、ソース信号線18の線幅よりも0.5μm以上狭くすることが好ましい。さらに、接続アノード線961dの線幅は、ソース信号線18の線幅よりも0.8μm以上狭くすることが好ましい。

第98図(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961dが絶縁膜102aを介して積層されているとしたが、第98図(c)に図示するように、接続アノード線961dの上に接続アノード線961dより線幅の狭いソース信号線18が絶縁膜102aを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

第100図はICチップ14部の断面図である。基本的には第99図の構成を基準にしているが、第96図、第97図などでも同様に適用できる。もしくは類似に適用できる。

第100図(b)は第99図のAA'での断面図である。第100図(b)でも明らかのように、ICチップの14の中央部には出力パッド76cが形成(配置)されていない。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンディング技術によりパンプ(突起)が形成されている。突起の高さは10μm以上40μm以下の高さにする。もちろん、金メッキ技術(電解、無電解)により突起を形成してもよいことは言うまでもない。

前記突起と各ソース信号線18とは導電性接合層(図示せず)を紹介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀(Ag)、金(Au)、ニッケル(Ni)、カーボン(C)、酸化銅(SnO<sub>2</sub>)などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層(接続樹脂)1001は、転写等の技術でパンプ上に形成する。または、突起とソース信号線18とをACF樹脂1001で熱圧着する。なお、突起あるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリアや枝節を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続してもよい。第100図(a)はソース信号線18と共通アノード線962とが重なっている部分の断面図である(第98図を参照のこと)。

共通アノード線962からアノード配線952が分岐されている。アノード配線952はQIFパネルの場合は、176×RGB=528本である。アノード配線952を介して、第1図などで図示するVdd電圧(アノード電圧)が供給される。1本のアノード配線952には、

WO 03/027998

PCT/JPO2006663

155

EL素子15が低分子材料の場合は、最大で200 $\mu$ A程度の電流が流れる。したがって、共通アノード配線962には、200 $\mu$ A $\times$ 528で約100mAの電流が流れる。

したがって、共通アノード配線962での電圧降下を0.2(V)以内にするには、電流が流れる最大経路の抵抗値を2 $\Omega$ (=0.0mA流れとして)以下にする必要がある。本発明では、第99図に示すように3箇所に接続アノード線961を形成しているの、集中分布回路におきなおすと、共通アノード線962の抵抗値は容易に極めて小さく設計することができ。また、第97図のように多数の接続アノード線961dを形成すれば、共通アノード線962での電圧降下は、ほぼなくなる。

問題となるのは、共通アノード線962とソース信号線18との重なり部分における寄生容量(共通アノード寄生容量と呼ぶ)の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線18に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

共通アノード寄生容量は、少なくとも1ソース信号線18が表示領域内で発生する寄生容量(表示寄生容量と呼ぶ)の1/1.0以下にする必要がある。たとえば、表示寄生容量が10(pF)であれば、1(pF)以下にする必要がある。さらに好ましくは、表示寄生容量の1/2.0以下にする必要がある。すなわち、表示寄生容量が10(pF)であれば、0.5(pF)以下にする必要がある。この点を考慮して、共通アノード線962の線幅(第103図のM)、絶縁膜102の膜厚(第101図を参照)を決定する。

ベースアノード線951はICチップ14の下に形成(配置)する。形成する線幅は、抵抗低化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線951は遮光の機能を持たせることが好ましい。この説明図を第102図に図示している。なお、ベ-

WO 03/027998

PCT/JPO200668

156

ースアノード配線951を金属材料で所定膜厚形成すれば、遮光の効果があることはいままでもない。また、ベースアノード線951が大きくできないとき、あるいは、ITOなどの透明材料で形成するときは、ベースアノード線951に被覆して、あるいは多層に、光吸収膜あるいは光反射膜をICチップ14下(基本的にはアレイ71の裏面)に形成する。また、第102図の遮光膜(ベースアノード線951)は、完全な遮光膜であることを必要としない、部分に開口部があってもよく、また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線951に被覆させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

もちろん、アレイ基板71とICチップ14との空間に、金属箔あるいは板あるいはシートからなる反射板(シート)、光吸収板(シート)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板(シート)、光吸収板(シート)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板71とICチップ14との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線951を遮光膜(反射膜)にするとして説明をする。

第102図のように、ベースアノード線951はアレイ基板71の表面(なお、表面に限定するものではない。遮光膜/反射膜とするという思想を満足させるためには、ICチップ14の裏面に光が入射しなければよいのである。したがって、基板71の内面あるいは内層にベースアノード線951などを形成してもよいことは言うまでもない。また、基板71の裏面にベースアノード線951(反射膜、光吸収膜として機能

する構成または構造)を形成することにより、IC14に光が入射することを防止または抑制できるのである、アレキ基板71の裏面でもよい。)に遮光膜の機能を有するように形成または配置する。

また、第102図などでは、遮光膜などはアレキ基板71に形成するとしたがこれに限定するものではなく、ICチップ14の裏面に直接に遮光膜などを形成してもよい、この場合は、ICチップ14の裏面に絶縁膜102(図示せず)を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ14がアレキ基板71に直接に形成する構成(低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成)の場合は、遮光膜、光吸収膜あるいは反射膜を基板71に形成し、その上にドライバ回路14を形成(配置)すればよい。

ICチップ14には電流源634など、微少電流を流すトランジスタ素子が多く形成されている(第102図の回路形成部1021)。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流(プログラム電流Iw)、電流流量、予電流量などが異常な値(バラツキが発生するなど)となる。特に、有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱反射するたため、表示領域50以外の箇所から強い光が放射される。この放射された光が、ICチップ14の回路形成部1021に入射するとホトコンダクタ現象が発生する。したがって、ホトコンダクタ現象の対策は、EL表示デバイスに特有の対策である。

この課題に対して、本発明では、ベースアノード線951を基板71上に形成し、遮光膜する。ベースアノード線951の形成領域は第102図に図示するように、回路形成部1021を被覆するようにする。以上のように、遮光膜(ベースアノード線951)を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線951などのEL電源線は、画面書き換えに伴い、電流がながれて多少の電

位が変化する。しかし、電位の変化量は、1Hタイミングで少しずつ変化するため、ほど、グラント電位(電位変化しないという意味)として見なせる。したがって、ベースアノード線951あるいはベースアノード線は、遮光の機能だけでなく、シールドの効果も発揮する。

有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱反射するため、表示領域50以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、第101図に図示するように、画像表示に有効な光が通過しない箇所(無効領域)に光吸収膜1011を形成する(逆に有効領域とは、表示領域50およびその近傍)。光吸収膜を形成する箇所は、封止フタ85の外周(光吸収膜2011a)、封止フタ85の内面(光吸収膜1011c)、基板70の側面(光吸収膜1011d)、基板の画像表示領域以外(光吸収膜1011b)などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることにより、光を封じこめる方式あるいは構造も含まれる。また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含むもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオロ系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたP:MnO3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いられればよい。基本的には前記した黒色吸収材料と同様に、



WO 03/017998

PCT/JP02/09668

190

て、ソース信号線18と共通アノード線962が交差する箇所はショートすることを防止するため、ゲート信号線17を構成する金属材料(GEメタル)に置き換える。ゲート信号線は、Mo/Wの積層構造からなる金属材料で形成している。

5 一帯均に、ゲート信号線17のシート抵抗は、ソース信号線18のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機EL表示パネルにおいて、かつ電流駆動方式では、ソース信号線18を流れる電流は1~5 $\mu$ Aと微少である。したがって、ソース信号線18の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線18に画像データを書き込む。したがって、ソース信号線18の抵抗値が高いと画像を1水平走査期間に書き込むことができない。

10 しかし、本発明の電流駆動方式では、ソース信号線18の抵抗値が高く(つまり、シート抵抗値が高い)とも、課題とはならない。したがって、ソース信号線18のシート抵抗は、ゲート信号線17のシート抵抗より高くともよい。したがって、本発明のEL表示パネルにおいて(概念的には、電流駆動方式の表示パネルあるいは表示装置において)、第104図に図示するように、ソース信号線18をGEメタルで作製(形成)し、ゲート信号線17をSDメタルで作製(形成)してもよい(液晶表示パネルと逆)。

20 第107図は、第99図、第103図の構成に加えて、ゲートドライバ12を駆動する電源配線1051を配置した構成である。電源配線1051はパネルの表示領域50の右端→下辺→表示領域50の左端に引き回している。つまり、ゲートドライバ12aと12bの電源とは同一になっている。

25 しかし、ゲート信号線17aを選択するゲートドライバ12a(ゲート信号線17aはTFT11b、TFT11cを制御する)と、ゲート信号線17bを選択するゲートドライバ12b(ゲート信号線17bは

PCT/JP02/09668

189

色素を用いて天然樹脂を染色したものを用いてもよい。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでもよい。

また、光吸収膜としては金属材料を用いてもよい。たとえば、六征クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

10 なお、封止フタ85は、4 $\mu$ m以上15 $\mu$ m以下の樹脂ビーズ102を含む有蓋封止樹脂1031を用いて、基板71と封止フタ85とを接合する。フタ85は加圧せずに配置し、固定する。

15 第99図の実施例は、共通アノード線962をICチップ14の近傍に形成(配置)するように図示したが、これに限定するものではない。たとえば、第103図に図示するように、表示領域50の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線18とアノード配線952とが短距離で、かつ平行して配置(形成)する部分が減少するからである。ソース信号線18とアノード配線952とが短距離で、かつ平行に配置されると、ソース信号線18とアノード配線952間に寄生容量が発生するからである。第103図のように、表示領域50の近傍に共通アノード線962を配置するとその問題はなくなる。画面表示領域50から共通アノード線962の距離K(第103図を参照)は、1mm以下にすることが好ましい。

20 共通アノード線962は、極力低抵抗化するため、ソース信号線18を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Al薄膜あるいはTi/Al/Tiの積層構造、あるいは合金もしくはアマンガムからなる金属材料(SDメタル)で形成している。したがっ

TFT11dを制御し、EL素子15に流れる電流を制御する)とは、電源電圧を異ならせることが好ましい、特に、ゲート信号線17aの振幅(オン電圧-オフ電圧)は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである(第1図などを参照)。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。したがって、第108図に図示するように、ゲートドライバ12aの印加電圧はV<sub>ha</sub>(ゲート信号線17aのオフ電圧)と、V<sub>1a</sub>(ゲート信号線17aのオン電圧)とし、ゲートドライバ12aの印加電圧はV<sub>hb</sub>(ゲート信号線17bのオフ電圧)と、V<sub>1a</sub>(ゲート信号線17bのオン電圧)とする、V<sub>1a</sub> < V<sub>1b</sub>なる関係とする。なお、V<sub>ha</sub>とV<sub>hb</sub>とは、略一致させてもよい。

ゲートドライバ12は、通常、NチャネルトランジスタとPチャネルトランジスタで構成するが、Pチャネルトランジスタのみで形成することが好ましい。アレイの作製に必要なマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、第1図、第2図などに例示したように、画素16を構成するFTをPチャネルトランジスタとするとともに、ゲートドライバ12もPチャネルトランジスタで形成あるいは構成する。NチャネルトランジスタとPチャネルトランジスタでゲートドライバを構成すると必要なマスク数は10枚となるが、Pチャネルトランジスタのみで形成すると必要なマスク数は5枚になる。

しかし、Pチャネルトランジスタのみでゲートドライバ12などを構成すると、レベルシフト回路をアレイ基板71に形成できない、レベルシフト回路はNチャネルトランジスタとPチャネルトランジスタで構成するからである。

この課題に対して、本発明では、レベルシフト回路機能を、電源IC1091に内蔵させている。第109図はその実施例である。電源IC

1091はゲートドライバ12の駆動電圧、EL素子15のアノード、カソード電圧、ソースドライバ14の駆動電圧を発生させる。

電源IC1091はゲートドライバ12のEL素子15のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ12の駆動する信号電圧までレベルシフトすることができ。

したがって、レベルシフトおよびゲートドライバ12の駆動は第109図の構成で実施する。入力データ(画像データ、コマンド、制御データ)992はソースドライバ14に入力される。入力データにはゲートドライバ12の制御データも含まれる。ソースドライバ14は駆動(動作電圧)が5(V)である。一方、ゲートドライバ12は動作電圧が15(V)である。ソースドライバ14から出力されるゲートドライバ12に出力される信号は、5(V)から15(V)にレベルシフトする必要がある。このレベルシフトを電源回路(IC)1091で行う。第109図ではゲートドライバ12を制御するデータ信号も電源IC制御信号1092としている。

電源回路1091は入力されたゲートドライバ12を制御するデータ信号1092を内蔵するレベルシフト回路でレベルシフトし、ゲートドライバ制御信号1093として出力し、ゲートドライバ12を制御する。

以下、基板71に内蔵するゲートドライバ12をPチャネルのトランジスタのみで構成した本発明のゲートドライバ12について説明をする。先にも説明したように、画素16とゲートドライバ12とをPチャネルトランジスタのみで形成する(つまり、基板71に形成するトランジスタはすべてPチャネルトランジスタである。反対に言えば、Nチャネルのトランジスタを用いない状態)ことにより、アレイの作製に必要なマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれる。また、Pチャネルトランジスタの性能のみの向上

に取り組みができるため、結果として特性改善が容易である。たとえば、 $V_t$  電圧の低減化（より 0 (V) に近くなるなど）、 $V_{th}$  バラツキの減少を、CMOS 構造（PチャネルとNチャネルトランジスタを用いる構成）よりも容易に実施できる。

5 一例として、第106図に図示するように、本発明は、表示領域50の左右に1組（シフトレジスタ）ずつ、ゲートドライバ12を配置または形成あるいは構成している。ゲートドライバ12など（図素16のトランジスタも含む）は、プロセス温度が450度（摂氏）以下の低温プロセス技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が450度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（CGS）成長させた半導体膜を用いてTFTなどを形成したものを採用してもよい。その他、有機TFTで形成してもよい。また、アモルファスシリコンは術で形成あるいは構成したTFTであってよい。

15 一方のゲートドライバ12は、選択側のゲートドライバ12aである。ゲート信号線17aにオンオフ電圧を印加し、画素TFT11を制御する。他方のゲートドライバ12は、EL素子15に流す電流を制御（オンオフさせる）するゲートドライバ12bである。本発明の実施例では、主として第1図の画素構成を例示して説明するがこれに限定するものではない。第50図、第51図、第54図などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ12の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

25 なお、以下に説明するゲートドライバ12の構成あるいは配置形態は、有機EL表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遮断表示パネルなどにも採用すること

ができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ12の構成あるいは方式を採用してもよい。また、ゲートドライバ12を2用いる場合は、1相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の1方の端子に接続してもよい。この方式は、独立CC駆動（容量結合駆動法）と呼ばれるものである。また、第111図、第113図などで説明する構成は、ゲートドライバ12だけでなく、ソースドライバ14のシフトレジスタ回路などにも採用することができることは言うまでもない。

10 本発明のゲートドライバ12は、先に説明した第6図、第13図、第16図、第20図、第22図、第24図、第26図、第27図、第28図、第29図、第34図、第37図、第40図、第41図、第48図、第82図、第91図、第92図、第93図、第103図、第104図、第105図、第106図、第107図、第108図、第109図などのゲートドライバ12として実施あるいは採用することが好ましい。

15 第111図は、本発明のゲートドライバ12のブロック図である。説明を容易にするため、4段分しか図示していないが、基本的には、ゲート信号線17の数に対応する単位ゲート出力回路1111が形成または配置される。

20 第111図に図示するように、本発明のゲートドライバ12（12a、12b）では、4つのクロック端子（SCK0、SCK1、SCK2、SCK3）と、1つのスタート端子（データ信号（SSTA））、シフト方向を上下反転制御する2つの反転端子（DIRA、DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてL電源端子（VBB）と、H電源端子（VD）などから構成される。

25 なお、本発明のゲートドライバ12は、すべてPチャネルのTFT（トランジスタ）で構成しているため、レベルシフト回路（低電圧のロ

ジック信号を高電圧のロジック信号に変換する回路)をゲートドライバに内蔵することができない。そのため、第109図のように図示した電源回路(IC)1091内にレベルシフト回路を配置または形成している。

電源回路(IC)1091は、ゲートドライバ12からゲート信号線17に出力するオン電圧(図素16 TFFTの選択電圧)、オフ電圧(図素16 TFFTの非選択電圧)に必要な電位の電圧を作成する。そのため、電源IC(回路)1091が使用する半導体の用圧プロセスは、十分な耐圧がある。したがって、電源IC:091でロジック信号をレベルシフト(LS)すると都合がよい。したがって、コントローラ(図示せず)から出力されるゲートドライバ12の制御信号は、電源IC:091に入力し、レベルシフトしてから、本発明のゲートドライバ12に入力する。コントローラ(図示せず)から出力されるソースドライバ回路14の制御信号は、直接に本発明のソースドライバ14などに入力する(レベルシフトの必要がない)。

15 しかし、本発明はアレイ基板71に形成するトランジスタをすべてPチャンネルで形成することに限定するものではない。ゲートドライバ12を後に説明する第111図、第113図のようにPチャンネルで形成することにより、狭帯域化することができる。2. 2インチのQCIFパネルの場合、ゲートドライバ12の幅は、6  $\mu$ mの採用で、600  $\mu$ mで構成できる。供給するゲートドライバ12の電源配線の引き回しを含めても700  $\mu$ mに構成することができる。同様の回路構成をCMOS(NチャンネルとPチャンネル:トランジスタ)で構成すると、1. 2mmになってしまふ。したがって、ゲートドライバ12をPチャンネルで形成することにより、狭帯域化をいっは微ある効果を発揮できる。

また、図素16をPチャンネルのトランジスタで構成することにより、Pチャンネルトランジスタで形成したゲートドライバ12とのマッチングが良くなる。Pチャンネルトランジスタ(第1図の図素構成では、

TFFT11b, 11c, TFFT11d)はL電圧でオンする、一方、ゲートドライバ12もL電圧が選択電圧である。Pチャンネルのゲートドライバは第113図の構成でもわかるが、Lレベルを選択レベルとする。マッチングが良い、Lレベルが長時間保持できないからである。一方、H電圧は長時間保持することができる。

また、E1素子15に電流を供給する駆動用TFFT(第1図ではTFFT11a)もPチャンネルで構成することにより、E1素子15のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Vddから順方向にE1素子15に電流を流すことができる。以上の事項から、図素16のトランジスタをPチャンネルとし、ゲートドライバ12のトランジスタもPチャンネルとすることがよい。以上のことから、本発明の図素16を構成するトランジスタ(駆動用TFFT、イッチング用TFFT)をPチャンネルで形成し、ゲートドライバ12のトランジスタをPチャンネルで構成するという事項は事なる設計事項ではない。

この意味で、レベルシフト(LS)回路を、基板71に直接に形成してもよい。つまり、レベルシフト(LS)回路をNチャンネルとPチャンネルトランジスタで形成する。コントローラ(図示せず)からのロジック信号は、基板71に直接形成されたレベルシフト回路で、Pチャンネルトランジスタで形成されたゲートドライバ12のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ12に印加する。

なお、レベルシフト回路を半導体チップで形成し、基板71にCOG実装などしてもよい。また、ソースドライバ14は、第109図などにも図示しているが、基本的に半導体チップで形成し、基板71にCOG実装する。ただし、ソースドライバ14を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板71に直接に形成してもよい。図素16を構成するトランジスタ11をPチャンネル

WO 03/027998

PCT/JPN2006/63

198

ドライバをPチャネルトランジスタで構成するという構成は、有線E  
Lなどの自己発光デバイス（表示パネルあるいは表示装置）に限定され  
るものではない。たとえば、液晶表示デバイスにも適用することができ  
る。

- 5 反転端子（DIRA, DIRB）は各単位ゲート出力回路111iに  
対し、共通の信号が印加される。なお、第113図の等価回路図をみれ  
ば、理解できるが、反転端子（DIRA, DIRB）は互いに逆極性の  
電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合  
は、反転端子（DIRA, DIRB）に印加している電圧の極性を反転  
10 させる。

なお、第111図の回路構成は、クロック信号線数は4つである、4  
つが本発明では最適な数であるが、本発明はこれに限定するものではな  
い、4つより少なくてもまたは4つより多くてもよい。

- クロック信号（SCK0, SCK1, SCK2, SCK3）の入力は、  
15 隣接した単位ゲート出力回路111iで異ならせている。たとえば、単  
位ゲート出力回路111iaには、クロック端子のSCK0がOCに、  
SCK2がRSTに入力されている。この状態は、単位ゲート出力回路  
111icも同様である。単位ゲート出力回路111iaに隣接した単  
位ゲート出力回路111ib（次段の単位ゲート出力回路）は、クロッ  
ク端子のSCK1がOCに、SCK3がRSTに入力されている。した  
がって、単位ゲート出力回路111iに入力されるクロック端子は、S  
CK0がOCに、SCK2がRSTに入力され、次段は、クロック端子  
のSCK1がOCに、SCK3がRSTに入力され、さらに次段の単位  
20 ゲート出力回路111iに入力されるクロック端子は、SCK0がOC  
に、SCK2がRSTに入力され、というように交互に異ならせている。

第113図が単位ゲート出力回路111iの回路構成である。構成す  
るトランジスタはPチャネルのみで構成している。第114図が第1  
13図の回路構成を説明するためのタイミングチャートである。なお、

197

で構成すると、プログラム電流は画素16からソース値線18に流れ  
出す方向になる。そのため、ソースドライバの単位電圧回路634（第  
73図、第74図などを参照のこと）は、Nチャネルのトランジスタ  
で構成する必要がある。つまり、ソースドライバ114はプログラム電流  
5 Iwを引き込むように回路構成する必要がある。

- したがって、画素16の駆動用TFT11a（第1図の場合）がPチャ  
ネルトランジスタの場合は、必ず、ソースドライバ114はプログラ  
ム電流Iwを引き込むように、単位電圧回路634をNチャネルトラン  
ジスタで構成する。ソースドライバ114をアレキサンダー71に形成するに  
10 は、Nチャネル用マスク（プロセス）とPチャネル用マスク（プロ  
セス）の両方を用いる必要がある。概念的に述べれば、画素16とゲー  
トドライバ112をPチャネルトランジスタで構成し、ソースドライバ  
の引き込み電流源のトランジスタはNチャネルで構成するのが本発  
明の表示パネル（表示装置）である。

- 15 なお、説明を容易にするため、本発明の実施例では、第1図の画素構  
成を例示して説明をする。しかし、画素16の選択トランジスタ（第1  
図ではTFT11c）をPチャネルで構成し、ゲートドライバ112を  
Pチャネルトランジスタで構成するなどの本発明の技術的思想は、第  
1図の画素構成に限定されるものではない。たとえば、電流駆動方式の  
20 画素構成では第42図に図示するカレントミラーの画素構成にも適用  
することができることは言うまでもない。また、電圧駆動方式の画素構  
成では、第62図に図示するような2つのTFT（選択トランジスタは  
TFT11b、駆動トランジスタはTFT11a）にも適用することが  
できる。もちろん、第111図、第113図のゲートドライバ112の構  
成も適用でき、また、組み合わせて配置などを構成できる。したがって、  
25 以上の説明した事項、以下に説明する事項は、画素構成などに限定され  
るものではない。

また、画素16の選択トランジスタをPチャネルで構成し、ゲート

第112図は第113図の複数段分におけるタイミングチャートを図示したものである。したがって、第113図を理解することにより、全体の動作を理解することができる。動作の理屈は、文庫で説明するよりも、第113図の等価回路図を参照しながら、第114図のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

Pチャネルのみでドライバ回路構成を作成すると、基本的にゲート信号線17をHレベル(第113図ではVd電圧)に維持することは可能である。しかし、Lレベル(第113図ではVBB電圧)に長時間維持することは困難である。しかし、画素行の選択時などの短時間維持は十分にできる。IN端子に入力された信号と、RST端子に入力されたSCKクロックにより、n1が変化し、n2はn1の反転信号状態となる。n2の電位とn4の電位とは同一極性であるが、OC端子に入力されたSCKクロックによりn4の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q端子がその期間、Lレベルに維持される(オン電圧がゲート信号線17から出力される)。SQあるいはQ端子に出力される信号は、次段の単位ゲート出力回路111に転送される。

第111図、第113図の回路構成において、IN(INA、INb)端子、クロック端子の印加信号のタイミングを制御することにより、第115図(a)に図示するように、1ゲート信号線17を選択する状態と、第115図(b)に図示するように2ゲート信号線17を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ12aにおいて、第115図(a)の状態は、1画素行(51a)を同時に選択する駆動方式である(ノーマル駆動)。また、選択画素行は1行ずつシフトする。第115図(b)は、2画素行を選択する構成である。この駆動方式は、第27図、第28図で説明した複数画素行(51a、51b)の同時選択駆動(ダミー画素行を構成する方式)である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に

選択される。特に、第115図(b)の駆動方法は、最終的な映像を保持する画素行(51a)に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

なお、第115図(b)は隣接した画素16行を選択する方式であるが、第116図に図示するように、隣接した以外の画素16行を選択してもよい(第116図は、3画素行離れた位置の画素行を選択している実施例である)。また、第113図の構成では、4画素行の組で制御される。4画素行のうち、1画素行を選択するか、連続した2画素行を選択するかは制御を実施できる。これは、使用するクロック(SCK)が4本によることの概約である。クロック(SCK)8本になれば、8画素行の組で制御を実施できる。

選択側のゲートドライバ12aの動作は、第115図の動作である。第115図(e)に図示するように、1画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。また、第115図(b)に図示するように、2画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。

次に、本発明のEL表示パネルを備える電子機器についての実施例について説明をする。第57図は情報端末装置の一例としての携帯型電話機の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572a~572eが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーなどである。

表示色切換キーが1度押されると表示色は8色モードに、つづいて同一のキーが押されると表示色は256色モード、さらに同一のキーが押されると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押下されるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対応する変更キーを設けてもよい。この場合、表示色切換キーは3つ(以上)となる。

表示色切換キーはブッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り換えるものでよい、たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色に変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切り換えるスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り換える、あるいはクリックボールのように回転あるいは方向により切り換えるように構成してもよい。

また、上述した表示色切換キーの代わりに、フレームレートを切り換えるキーなどとしてもよい。また、動画と静止画とを切り換えるキーなどとしてもよい。また、動画と静止画のフレームレートなどの複数の要件を同時に切り換えるようにしてもよい。また、押され続けると徐々に（連続的に）フレームレートが変化するように構成されていてもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子がリウムにしたりすることにより実現できる。また、コンデンサCはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切り換えるという技術的思想は携帯型電話機に限定されるものではなく、パームトップコンピュータや、ノートパソコン、ディスクトップパソコン、携帯型時計など表示画面を有する機器に広く適用することができる。また、有機EL表示パネルに限定されるものではなく、液晶表示パネル、トランジスタパネル、

PLZTパネル、CRTなどにも適用することができる。

第57図では図示していないが、本発明の携帯型電話機は図573の図側にCCDカメラを備えている。このCCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット(1670万色)、18ビット(26万色)、16ビット(6.5万色)、12ビット(4096色)、8ビット(256色)をキー572入力で切り替えることができる。

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

今、ソースドライバ14には4096色(RGB各4ビット)で1画面の内蔵RAMを具備しているとして説明する。ミジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

画像データが26万色(G:6ビット、R、B:5ビットの計16ビット)の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバ14に転送される。ソースドライバ14はRGB各4ビット(4096色)の画像データを出し、表示画面50に画像を表示する。

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第58図は本発明の実施の形態におけるビューファインダの断面図

である。但し、説明を容易にするため模式的に描いている。また一部は  
大あるいは増小した箇所が存在し、また、省略した箇所もある。たとえ  
ば、第58図において、接眼カバーを省略している。以上のことは他の  
図面においても該当する。

5 ボデー573の裏面は暗色あるいは黒色にされている。これは、E1  
表示パネル(表示装置)574から放射した逆光がボデー573の内面  
で反射し表示コンストラストの低下を防止するためである。また、表示  
パネルの光出射側には位相板(入/4板など)108、偏光板109な  
どが配置されている。このことは第10図、第11図でも説明している。

10 接眼リング581には拡大レンズ582が取り付けられている。観察  
者は接眼リング581をボデー573内での挿入位置を可変して、表示  
パネル574の表示画像50にピントがあうように調整する。

また、必要に応じて表示パネル574の光出射側に凸レンズ583を  
配置すれば、拡大レンズ582に入射する主光線を収束させることができ  
る。そのため、拡大レンズ582のレンズ径を小さくすることができ、  
ビューファインダを小型化することができる。

第59図はデジタルビデオカメラの斜視図である。ビデオカメラは撮  
影(撮像)レンズ部592とデジタルビデオカメラ本体573と具満し、  
撮影レンズ部592とビューファインダ部573とは背中合わせとな  
っている。また、ビューファインダ(第58図も参照)573には接眼  
カバーが取り付けられている。観察者(ユーザー)はこの接眼カバー部  
から表示パネル574の表示部50を観察する。

また、本発明のE1表示パネルである表示部50は表示モニターとし  
ても使用されている。表示部50は支点591で角度を自由に調整でき  
る。表示部50を使用しない時は、格納部593に格納される。

スイッチ594は以下の機能を実施する切り替えあるいは制御スイ  
ッチである。スイッチ594は表示モード切り替えスイッチである。ス  
イッチ594は、携帯型電話機などにも取り付けることが好ましい。こ

の表示モード切り替えスイッチ594については説明をする。

本発明の駆動方法の1つにN倍の電流をE1素子15に流し、1Fの  
1/Mの期間だけ点灯させる方法がある。この点灯させる期間を変化さ  
せることにより、明るさをデジタル的に変更することができる。たとえ  
ば、 $N=4$ として、E1素子15には4倍の電流を流す。点灯期間を1  
/Mとし、 $M=1, 2, 3, 4$ と切り替えれば、1倍から4倍までの明  
るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5,$   
6などと変更できるように構成してもよい。

10 以上の切り替え動作は、携帯型電話機の電源をオンしたときに、表示  
画面50を非常に明るく表示し、一定の時間を経過した後は、電力セー  
ブするために、表示輝度を低下させる構成にしている。また、ユーザーが  
希望する明るさに設定する機能としても用いることができる。たとえば、  
屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面  
が全く見えなくなるからである。しかし、高い輝度で表示し続けるとE  
1素子15は急速に劣化する。そのため、非常に明るくする場合、短  
時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で  
表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高く  
できるように構成しておく。

したがって、ユーザーがボタン594で切り替えできるようにしてお  
くか、設定モードで自動的に変更できるか、外光の明るさを検出して自  
動的に切り替えできるように構成しておくことが好ましい。また、表示  
輝度を50%、60%、80%などとユーザーなどが設定できるように  
構成しておくことが好ましい。

25 なお、表示画面50はガウス分布表示にすることが好ましい。ガウス  
分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式で  
ある。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じ  
られる。主観評価によれば、周辺部が中央部に比べて70%の輝度を  
保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度とし



WO 03/027998

PCT/JPO2006/68

206

を変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍バルス駆動（N倍の電流をE1素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

6 以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面500のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実行する。

なお、以上の事項は、携帯型電話機だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいままでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のE1表示装置などはデジタルビデオカメラだけでなく、第60図に示すようなデジタルスチルカメラにも適用することができ、表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

15 以上は表示パネルの表示領域が比較的小型の場合であるが、30インチで以上のような大型になると表示画面50がたわみやすい、その対策のため、本発明では第61図に示すように表示パネルに外枠611をつけ、外枠611をつり上げることができるように固定部材614を備えている。この固定部材614を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も大きくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

25 脚612は矢符Aに示すように左右に移動でき、また、脚612は矢符Bに示すように伸縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

PCT/JPO2006/68

205

てもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍バルス駆動（N倍の電流をE1素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

5 具体的には、画面の上部と下部とではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にしたとき、輝度が100%の場合と比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、輝度が100%の場合と比較して約15%の低消費電力化が可能である。

15 なお、ガウス分布表示をオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

20 液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

25 また、フレームレートが所定の場合、室内の蛍光灯などの点灯状態と干渉してフリッカが発生することがある。例えば、蛍光灯が60Hzの交流で点灯している場合、E1表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられることがある。これを避けるためにはフレームレート

第61図に示すテレビでは、画面の表面を保護フィルム（保護膜でよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンプス加工することにより表示パネルに外の状況（外光）が映り込むことを抑制している。また、保護フィルムと表示パネルとの間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。さらに、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルムとの間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネルとの間にアルコー、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が堅固材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエスチルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）などを用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面に対して、エポキシ樹脂、フェノール樹脂、アクリル樹脂などを0.5mm以上2.0mm以下の厚みでコーティングすることでも同様の効果が得られる。また、これらの樹脂表面にエンプス加工などをすることも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことが可能となるからである。また、保護フィルムを厚く形成し、フロントライトと兼用するようにしてもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることでも有効であることはいふまでもない。特に3辺フリーの構成は画面がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性パラツキのプロセス制御が不可能であるため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。したがって、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のN倍パルス駆動（第13図、第16図、第19図、第20図、第22図、第24図、第30図などを参照）などは、低電圧ポリシリコン技術でトランジスタ11を形成して表示パネルと同様、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、第22図、第24図、第30図のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

本発明の実施例で説明した技術的思想はデジタルビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯型電話機のモニター、PHS、携帯情報端末およびそのモニター、デジタルスチルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートブック型およびデスクトップ型パーソナルコンピュータにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、時計およびその表示装置にも適用できる。

WO 03/027998

PCT/JP02/09668

209

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない、照明装置は色温度を可変にできるように構成することが好ましい。

5 これは、RGBの図案をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

10 また、スキヤナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

15 また、液晶表示装置のバックライトにも有機EL表示装置は有効である。る、EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒屏入ることにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

20 なお、第1図などの図面では、本発明におけるEL素子15をOLEDとして捉えてダイオードの記号を用いて示している。しかしながら、本発明におけるEL素子15はOLEDに限られるわけではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。そのような素子としては無機EL素子が例示される。その池、半導体で構成

WO 03/027998

PCT/JP02/09668

210

される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、素子15は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

5 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてののみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び/又は機能の詳細を實質的に変更できる。

10 (産業上の利用の可能性)

本発明に係るEL表示装置は、薄型のテレビ、デジタルビデオカメラ、デジタルスチルカメラ、携帯型電話機などの表示部として有用である。

請 求 の 範 囲

- 5 1. 複数のソース信号線と、前記ソース信号線を介して供給される電  
流に応じた強度で発光する複数のE-L素子と、前記ソース信号線を介し  
て画像の階調に応じた電流を前記E-L素子に供給するソースドライバと  
を備えるE-L表示装置において、  
前記ソースミッドライバは、  
10 基準信号を生成する基準信号生成手段と、  
前記基準信号生成手段によって生成された基準信号を電流にて出力す  
る第1電流源と、  
前記ソース信号線に対応して複数設けられ、それぞれが、前記第1電  
流源によって出力された基準信号を電圧にて受け渡すように構成され  
15 ている第2電流源とを具備し、  
前記第2電流源のそれぞれが有している基準信号を用いて前記画像の  
階調に応じた電流を生成するように構成されている、E-L表示装置。  
2. 前記第2電流源のそれぞれには、選択された場合に前記基準信号  
を電流にて出力するように構成されている単位トランジスタが複数接続  
20 され、  
前記ソースドライバは、前記画像の階調に応じて1または複数の前記  
単位トランジスタを選択するように構成されており、  
表示可能な階調数をKとし、前記単位トランジスタの大きさをS t  
(平方μm)としたとき、 $40 \leq K / (S t)$  かつ  $S t \leq 300$  の関  
係を満足するように構成されている請求の範囲第1項に記載のE-L表  
25 示装置。  
3. 前記複数の第2電流源は、2平方mm以下の領域内に形成されて  
いる請求の範囲第1項に記載のE-L表示装置。

4. 前記ソースドライバには、前記E-L素子から発せられる光が前記  
第1電流源および第2電流源に照射されることを防止するための遮光膜  
が形成されている請求の範囲第1項に記載のE-L表示装置。  
5. 複数のソース信号線と、前記ソース信号線を介して供給される電  
6 流に応じた強度で発光する複数のE-L素子と、前記ソース信号線を介し  
て画像の階調に応じた電流を前記E-L素子に供給するソースドライバと  
を備えるE-L表示装置において、  
前記ソースドライバは、  
第1単位電流を出力する複数の単位トランジスタを含んでなり、前記  
10 第1単位電流を組み合わせることでにより所望の電流を前記E-L素子に出  
力する第1電流出力回路と、  
前記第1単位電流よりも大きい第2単位電流を出力する複数の単位ト  
ランジスタを含んでなり、前記第2単位電流を組み合わせることでにより  
所望の電流を前記E-L素子に出力する第2電流出力回路とを具備し、  
15 表示すべき階調が所定の階調よりも低い場合に、該表示すべき階調に  
応じた電流を出力すべく前記第1電流出力回路を動作させ、表示すべき  
階調が所定の階調以上の場合に、該表示すべき階調に応じた電流を出力  
すべく前記第2電流出力回路を動作させると共に、所定の電流を前記第  
1電流出力回路に出力させるように構成されている、E-L表示装置。  
20 6. 前記第2電流の大きさは、前記第1電流の大きさの4倍以上8倍  
以下である請求の範囲第5項に記載のE-L表示装置。  
7. 前記ソースドライバには、前記E-L素子から発せられる光が前記  
第1電流出力回路および第2電流出力回路に照射されることを防止する  
ための遮光膜が形成されている請求の範囲第5項に記載のE-L表示装置。  
25 8. 請求の範囲第2項に記載のE-L表示装置を備え、前記E-L表示装  
置に対して画像信号を出力するように構成されている電子機器。  
9. E-L素子がマトリクス状に形成された表示領域と、  
前記E-L素子に映像信号を電流として供給するソースドライバとを具

WO 03/027998

PCT/JP02/09668

214

前記トランジスタ群は2平方mm以内の範囲に形成されていることを特徴とするE<sub>L</sub>表示装置。

12. 前記第1のトランジスタは、複数の単位トランジスタから構成され、

5 成複数の単位トランジスタは、2平方mm以内の範囲に形成されていることを特徴とする請求の範囲第11項に記載のE<sub>L</sub>表示装置、

13. E<sub>L</sub>素子を有する画素がマトリックス状に形成された表示領域と、

前記画素に形成されたトランジスタ素子と、

10 前記トランジスタ素子をオンオフ制御するゲートドライバと、

前記トランジスタ素子に映像信号を供給するソースドライバとを具備し、

前記ゲートドライバは、Pチャンネルトランジスタで構成されており、

前記画素に形成されたトランジスタは、Pチャンネルトランジスタ素子であり、

15 前記ソースドライバは、半導体チップで構成されていることを特徴とするE<sub>L</sub>表示装置。

14. E<sub>L</sub>素子と、駆動用トランジスタと、前記駆動用トランジスタと前記E<sub>L</sub>素子間の経路を形成する第1のスイッチング素子と、前記駆動用トランジスタとソース信号線間の経路を形成する第2のスイッチング素子とが、マトリックス状に形成された表示領域と、

20 前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバと、

前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバと、

25 前記トランジスタ素子に映像信号を印加するソースドライバとを具備し、

前記ゲートドライバは、Pチャンネルトランジスタで構成されており、

213

備し、

前記ソースドライバは、

基準電流を発生する基準電流発生手段と、

前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流

5 に対応する第1の電流を出力する第1の電流源と、

前記第1の電流源から出力される第1の電流が入力され、かつ前記第

1の電流に対応する第2の電流を出力する第2の電流源と、

前記第2の電流源から出力される第2の電流が入力され、かつ前記第

2の電流に対応する第3の電流を出力する第3の電流源と、

10 前記第3の電流源から出力される第3の電流が入力され、かつ入力画

像データに対応して前記第3の電流に対応する単位電流を前記E<sub>L</sub>素子に出力する複数の単位電流源とを有していることを特徴とするE<sub>L</sub>表示装置。

10. E<sub>L</sub>素子がマトリックス状に形成された表示領域と、

15 前記E<sub>L</sub>素子に映像信号を電流として供給するソースドライバとを具備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選択された場合に単位電流を出力するように構成されており、

20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS<sub>0</sub>(平方μm)としたとき、 $40 \leq K/S_0$ かつ $S_0 \leq 300$ の関係を満たすように構成されていることを特徴とするE<sub>L</sub>表示装置。

11. E<sub>L</sub>素子がマトリックス状に形成された表示領域と、

前記E<sub>L</sub>素子に映像信号を電流として供給するソースドライバとを具

25 備し、

前記ソースドライバは、第1のトランジスタと、前記第1のトランジスタとカレントミラー接続された複数の第2のトランジスタからなるトランジスタ群とを有し、

WD 03027998

215

**PCI-JP02.09668**

WFO 03073998

PCT/JP02/09669

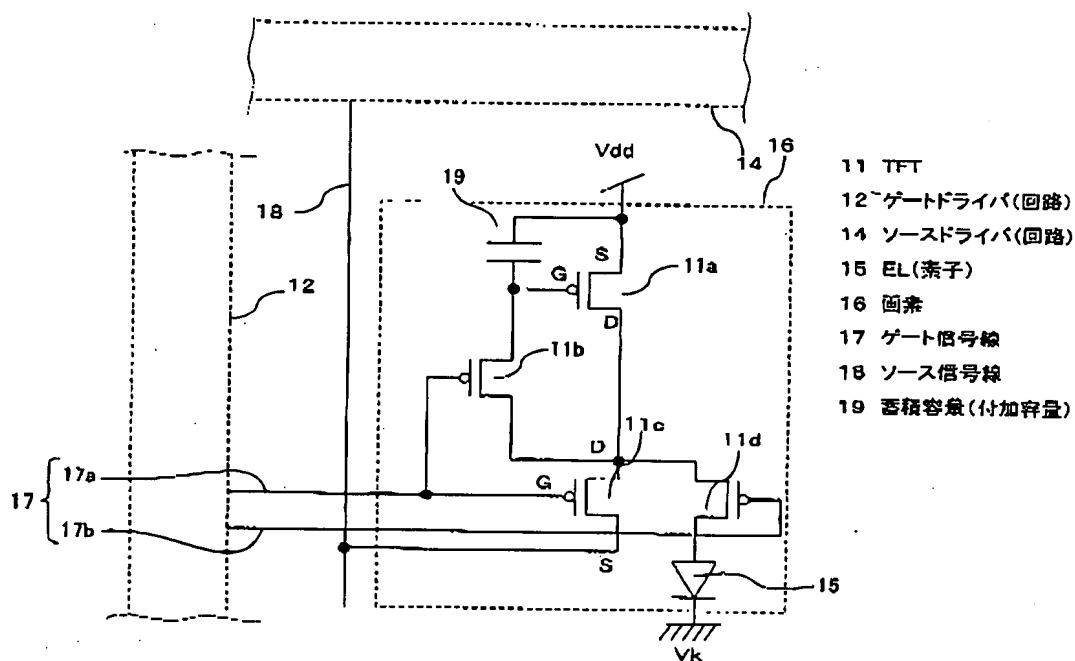
$$\frac{1}{117}$$

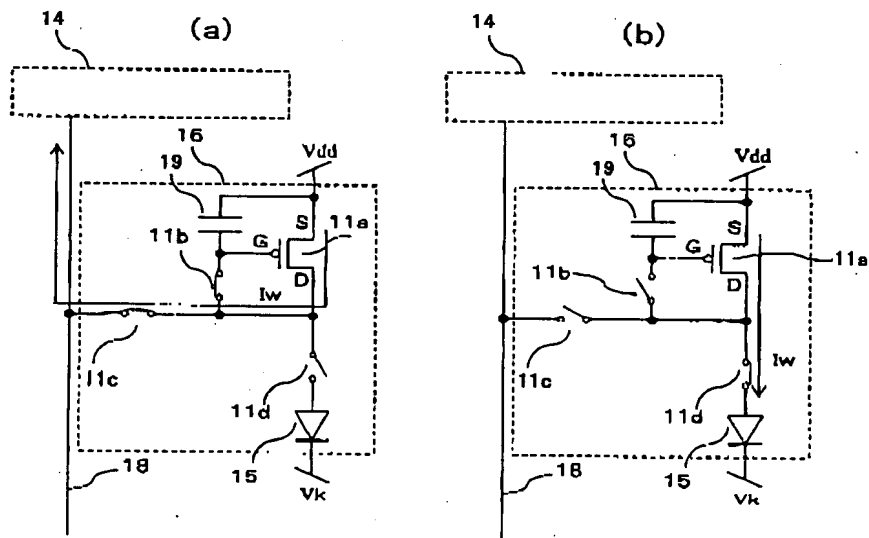
前記画面系に形成されたトランジスタおよび入イッチング素子は、Pチャンネルトランジスタ素子であり、

即配ソースドライバは、半導体チップで構成されていることを特徴とするEL表示装置。

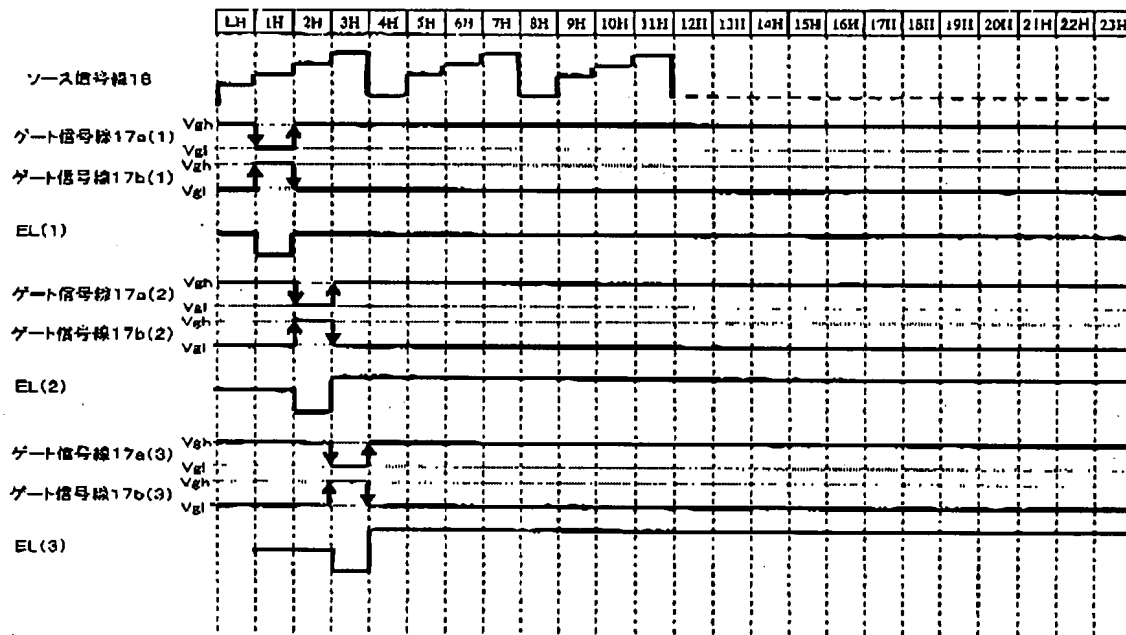
5 15. 前記ソースドライバは、映像信号を電流で出力することを特徴とする請求の範囲第13項または請求の範囲第14項に記載のE1表示装置、

16. 前記データドライバは、4つのクロック信号により、データ・シフト動作することと特徴とする範囲第13項または請求の範囲第14項に記載のE1表示装置。



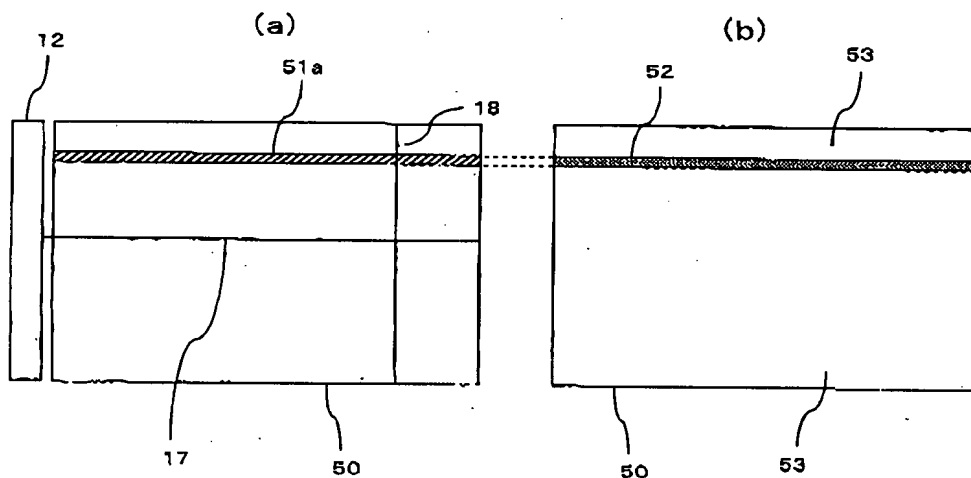
$$\frac{3}{117}$$


第3図



第4図

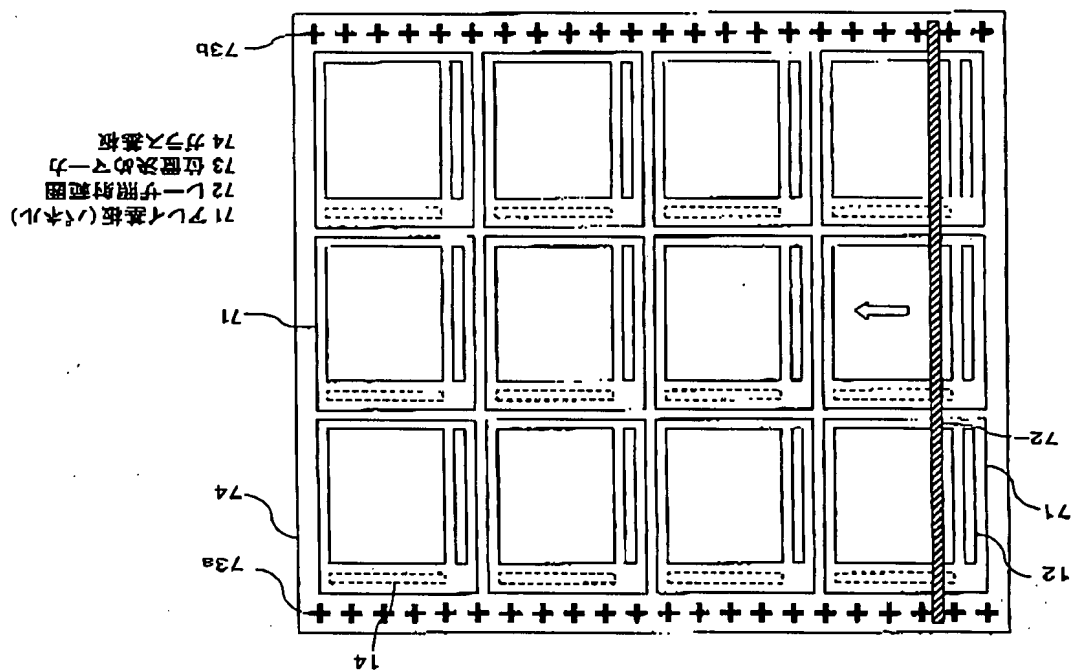
- 50 表示画面
- 51 書き込み画素(行)
- 52 非表示画素(非表示領域、非点灯領域)
- 53 表示画素(表示領域、点灯領域)



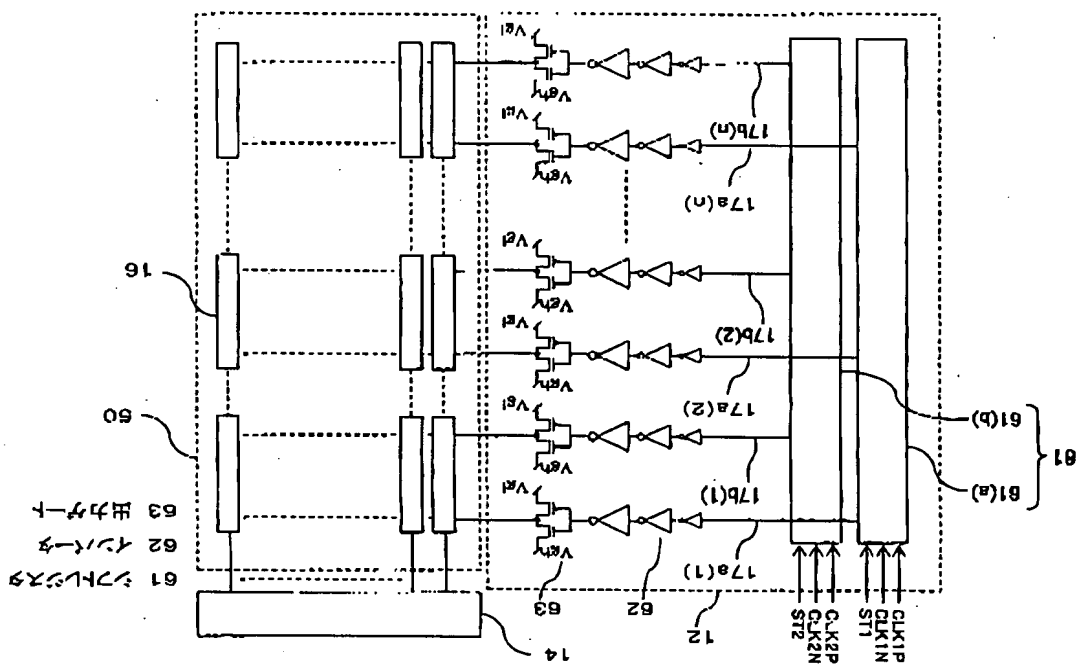
第5図

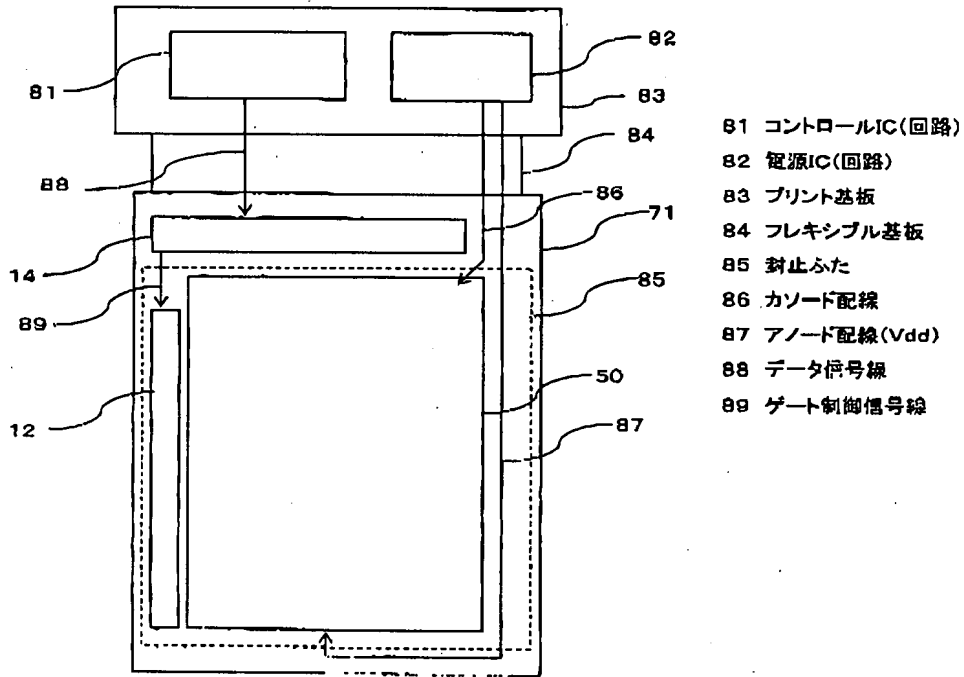


## 第7圖

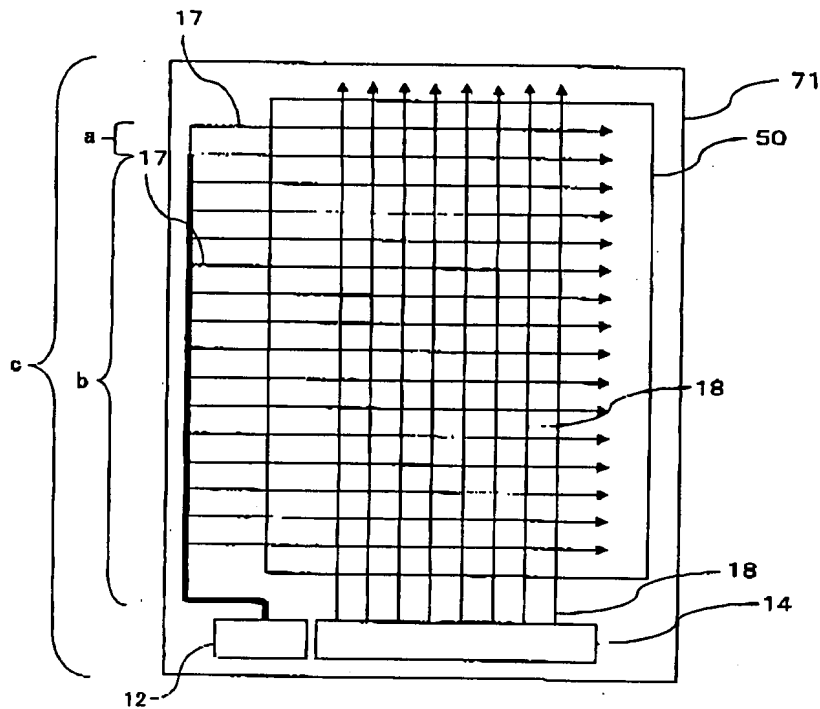


第9圖





第8図



第9図

WO 02/07398

PCT/JP02/0568

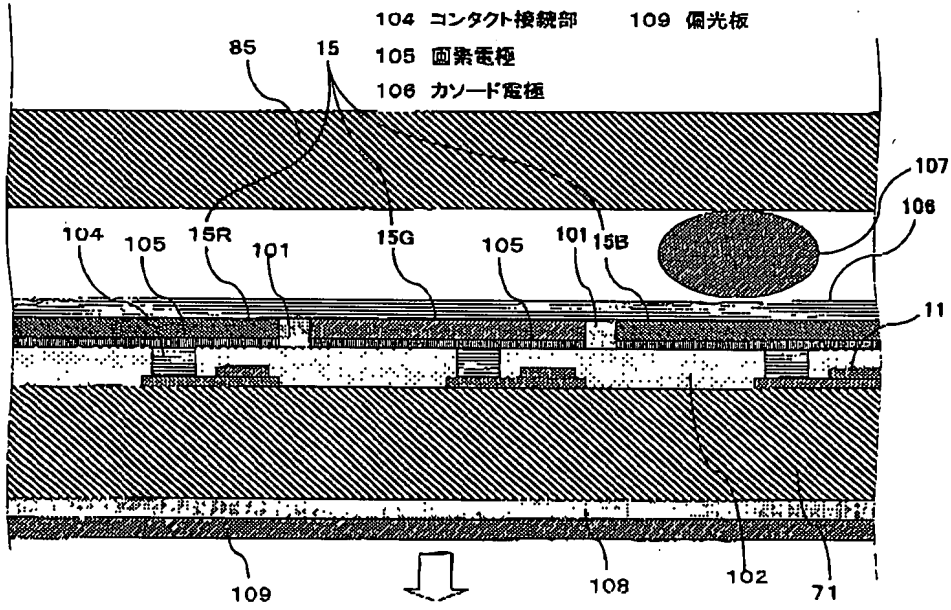
WO 02/07398

PCT/JP02/0568

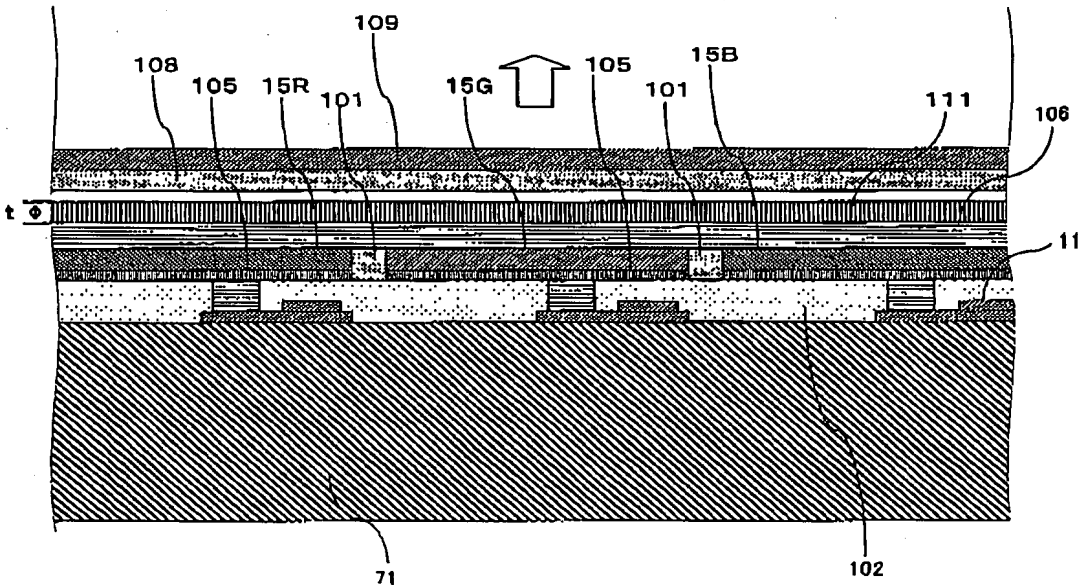
10/  
117

11/  
117

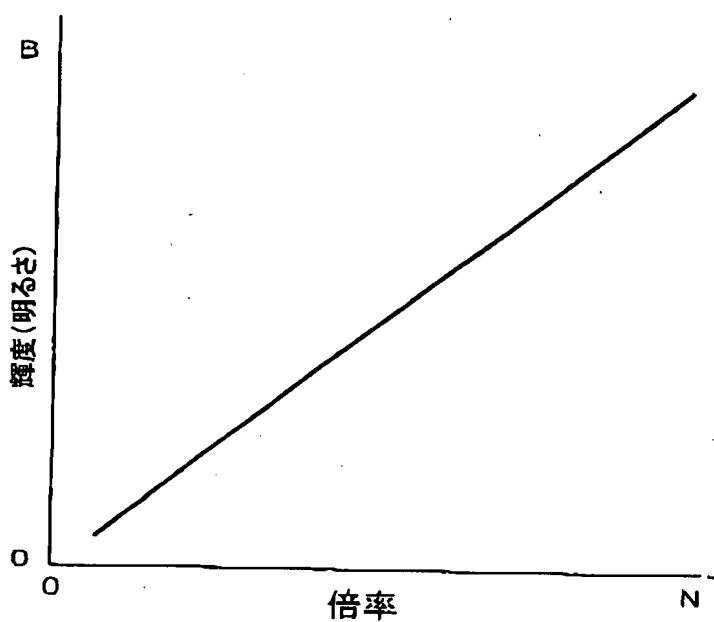
- |              |                   |
|--------------|-------------------|
| 101 土手(リブ)   | 107 乾燥剤           |
| 102 層間絶縁膜    | 108 $\lambda/4$ 板 |
| 104 コンタクト接続部 | 109 偏光板           |
| 105 画素電極     |                   |
| 106 カソード電極   |                   |



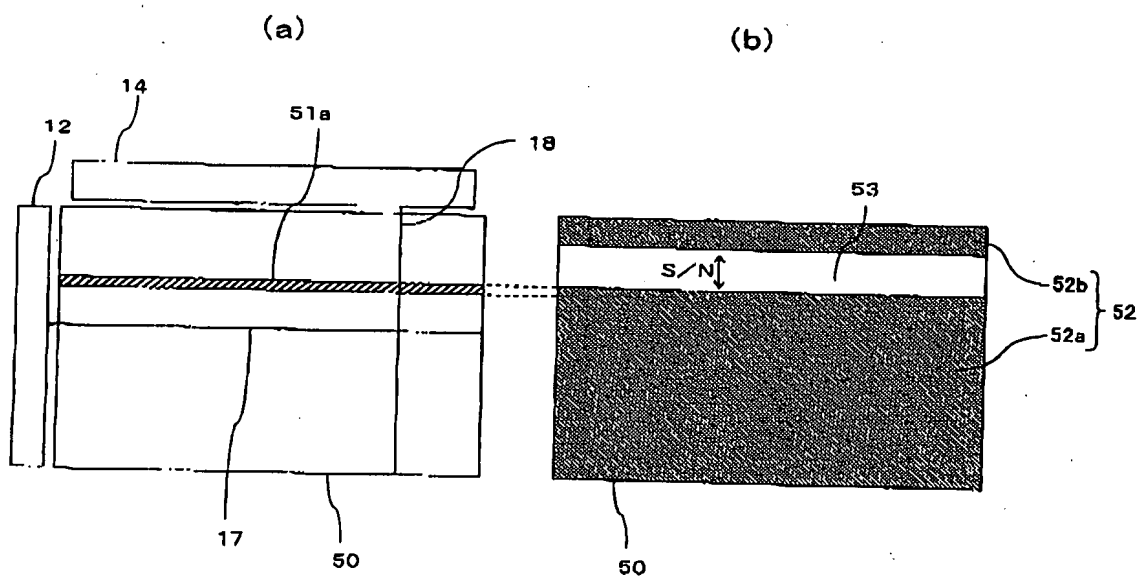
第10図



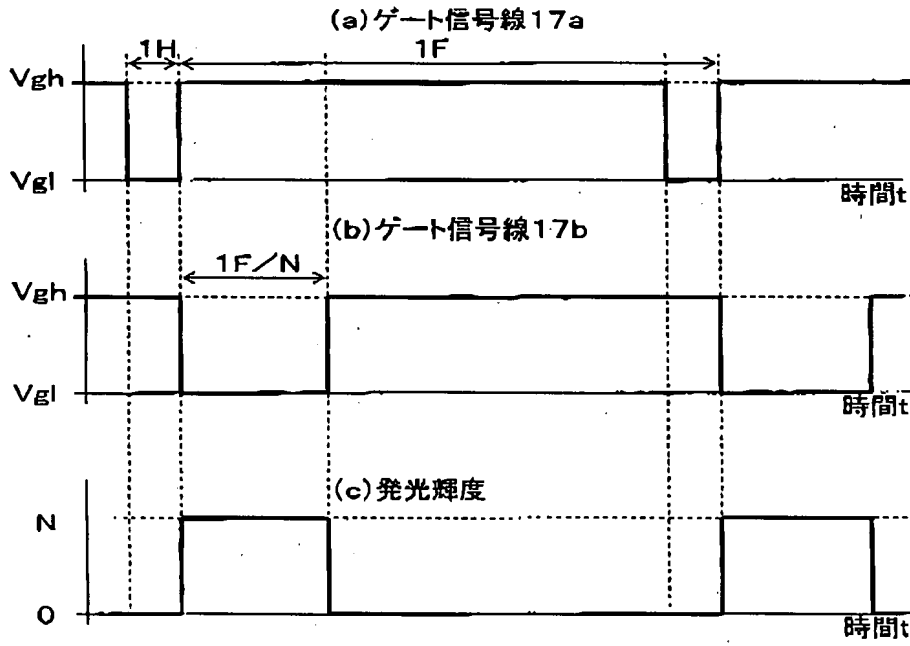
第11図



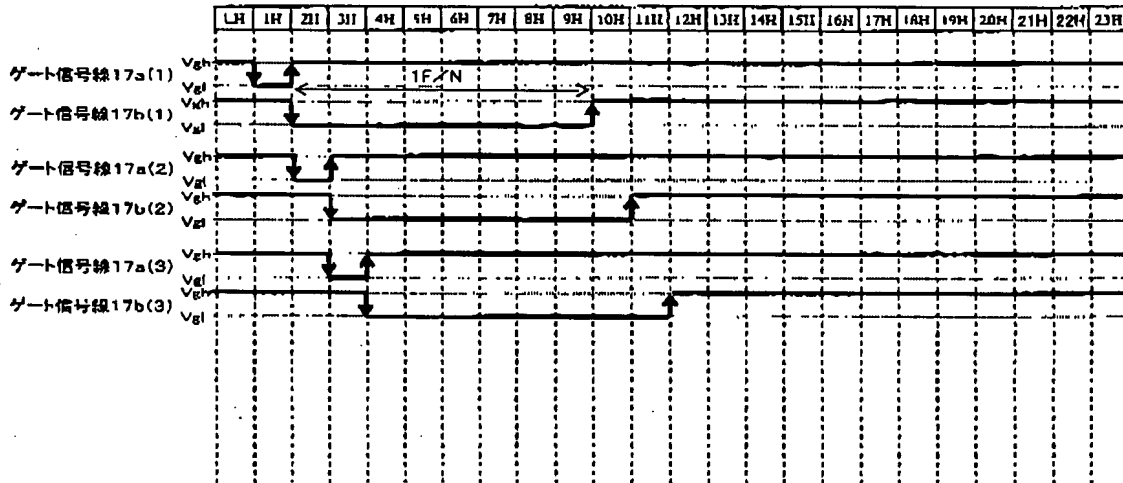
第12図



第13図



第14図



第15図

WO 03/07398

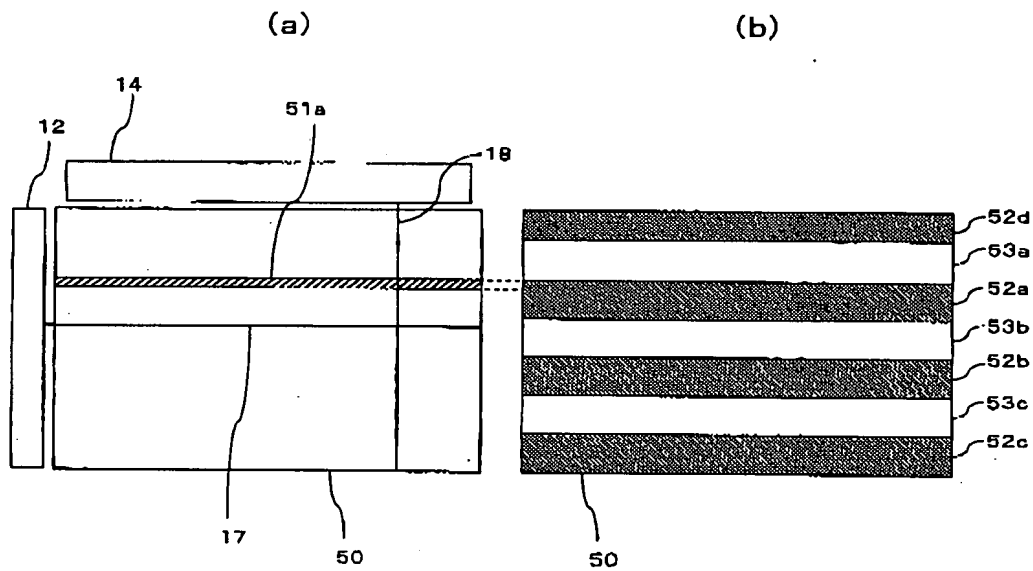
PCT/JP02/0568

WO 03/07398

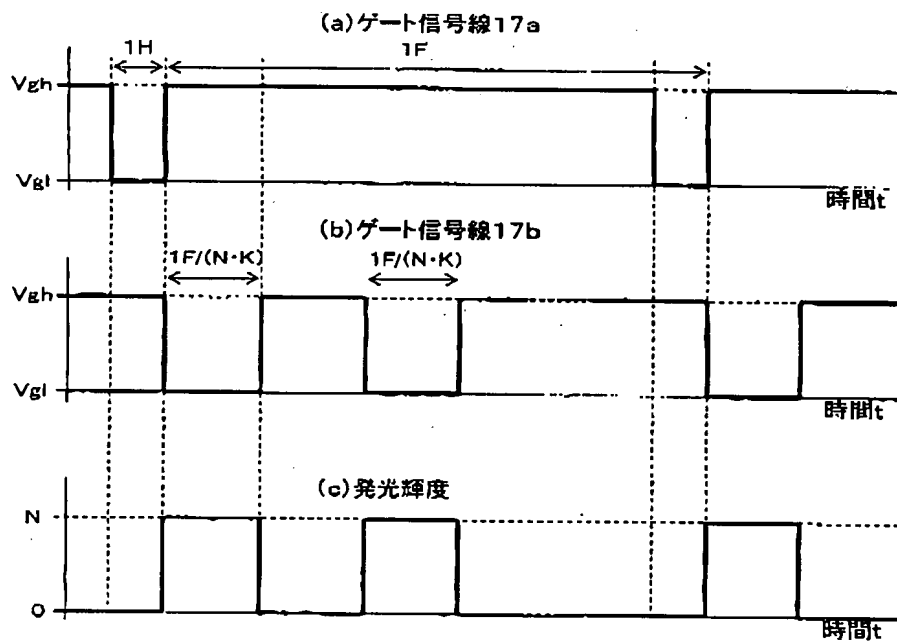
PCT/JP02/0568

14/117

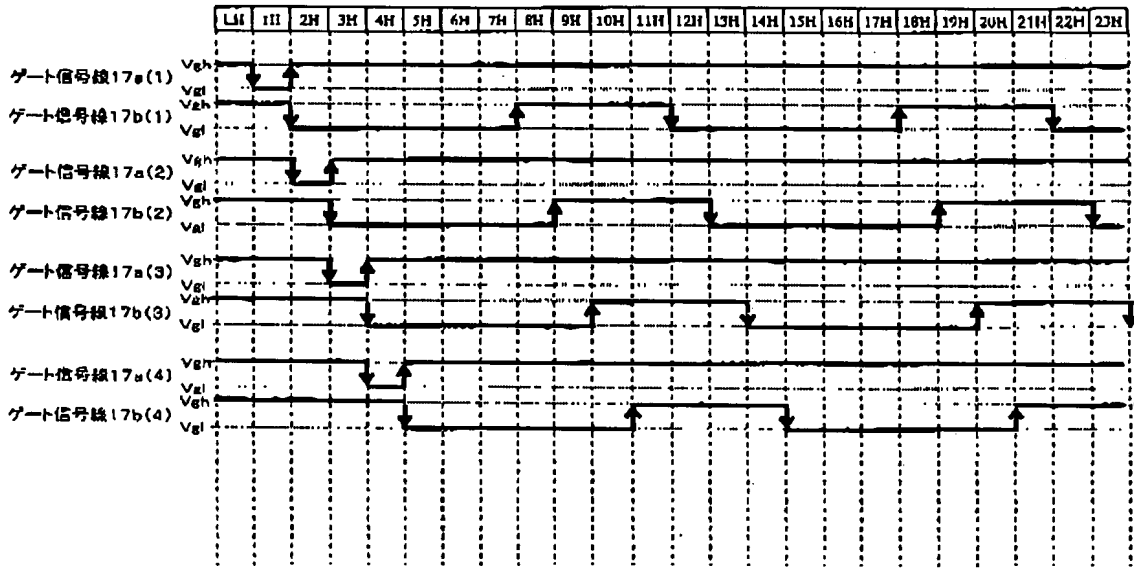
15/117



第16図

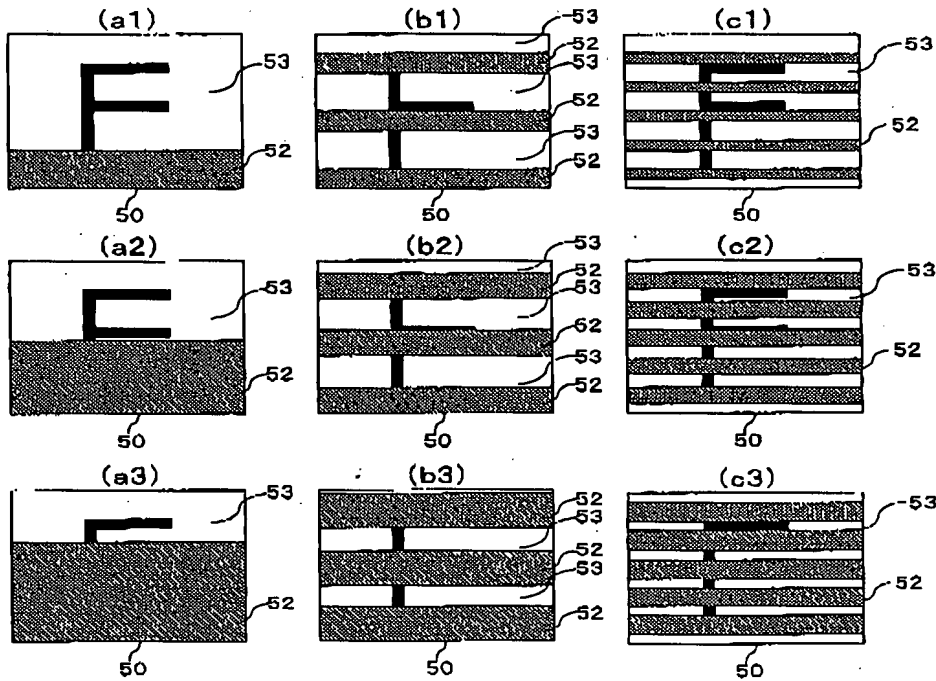


第17図



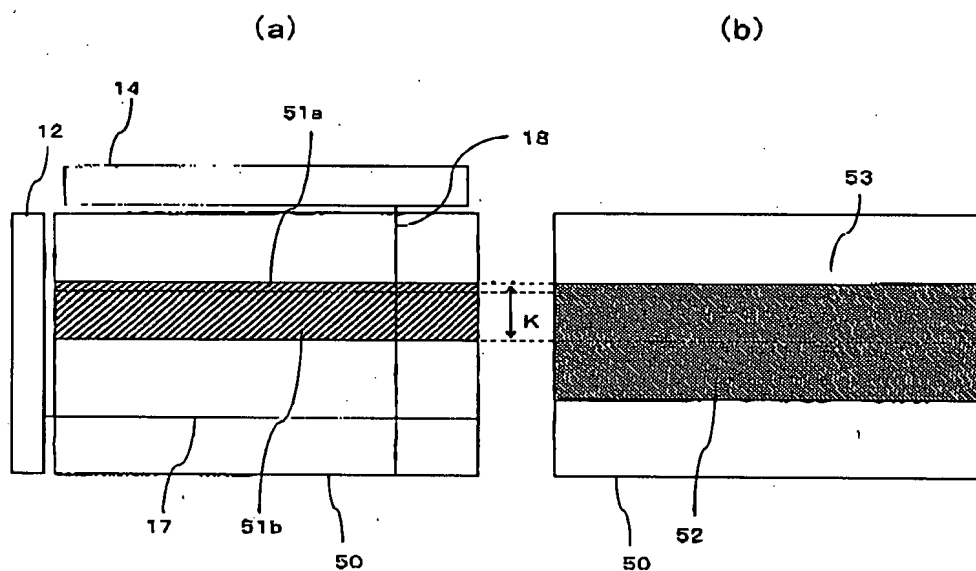
18/117

第18図

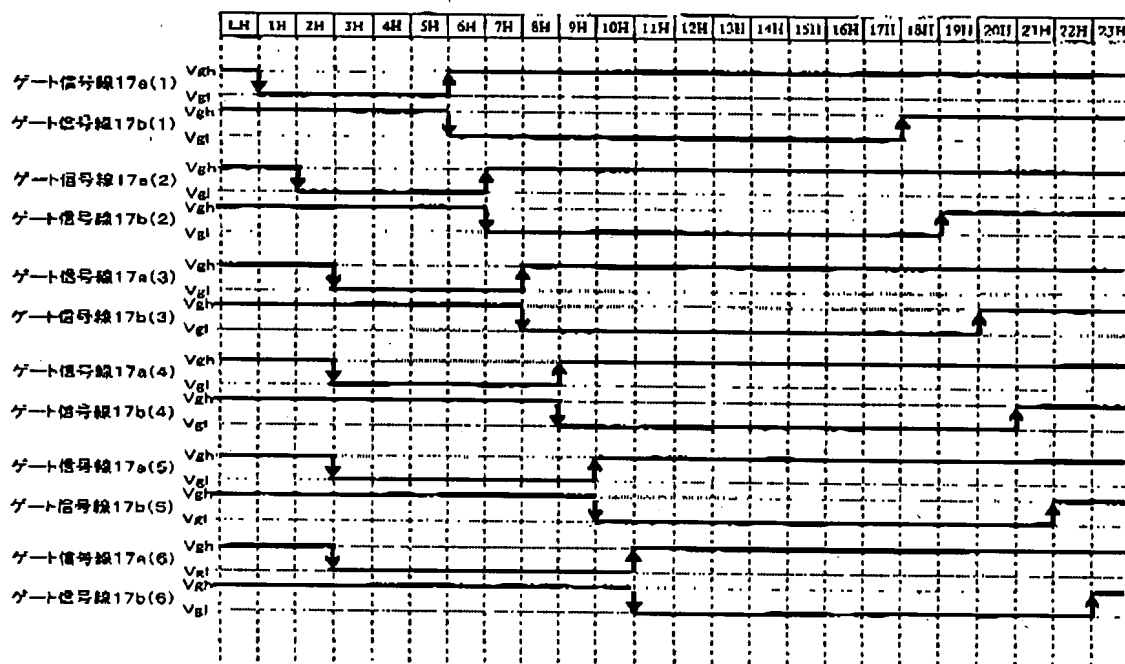


19/117

第19図

20  
117

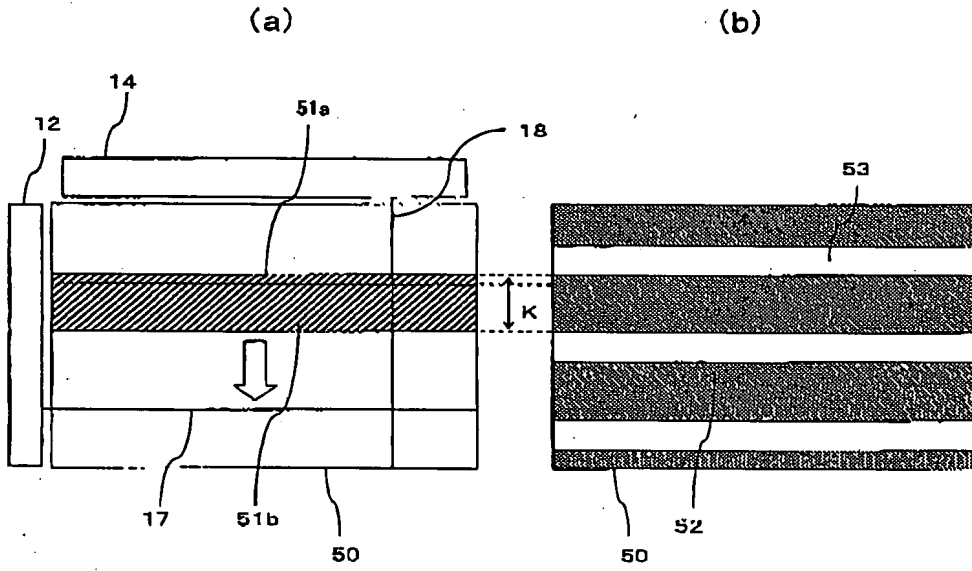
第20図



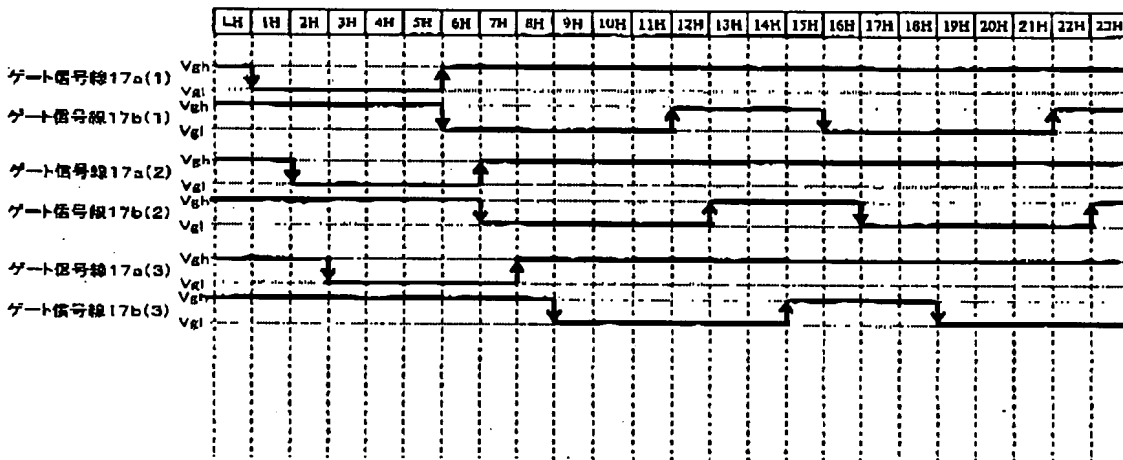
第21図

21  
117

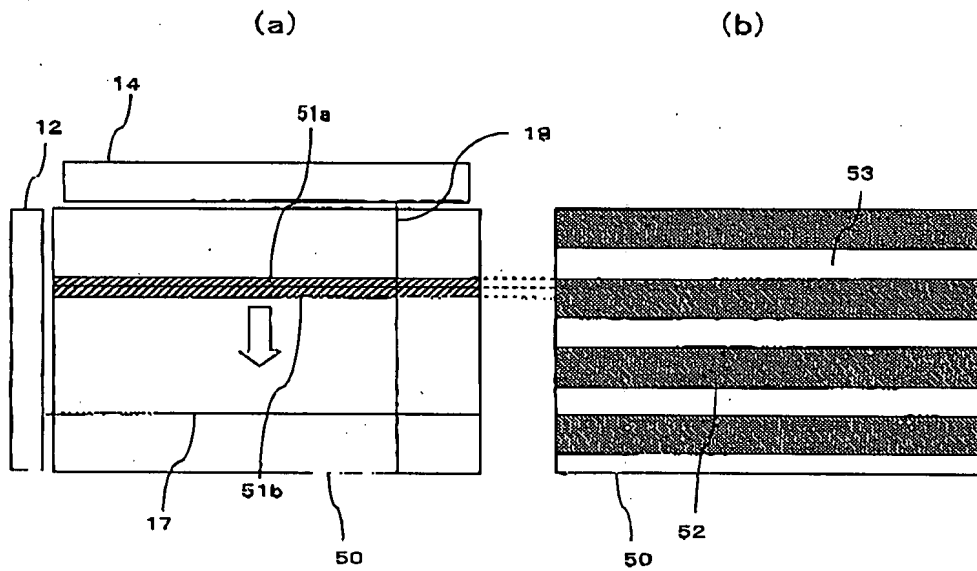




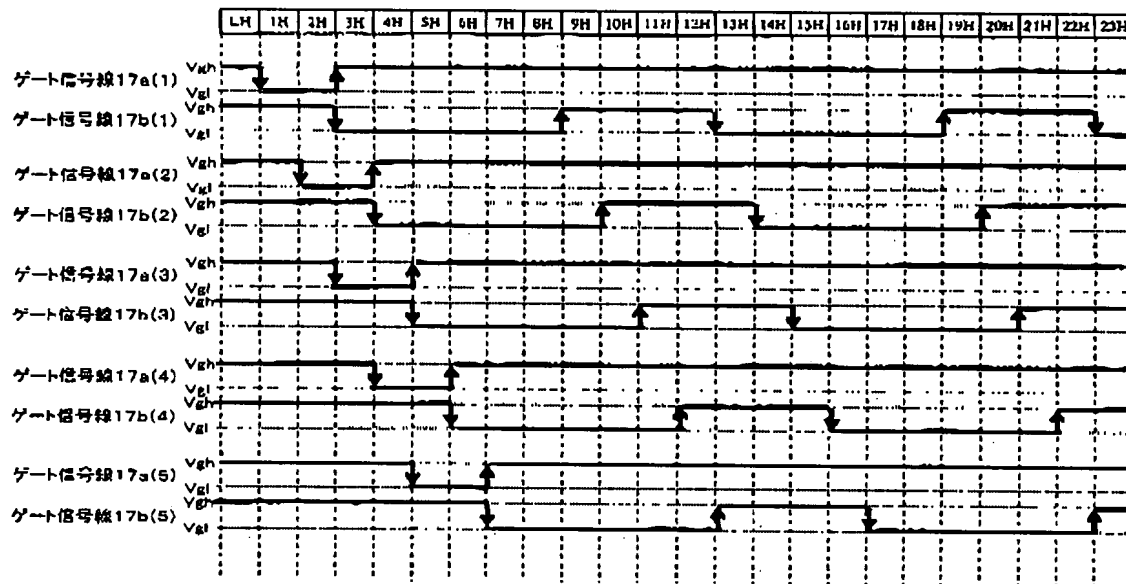
第22図



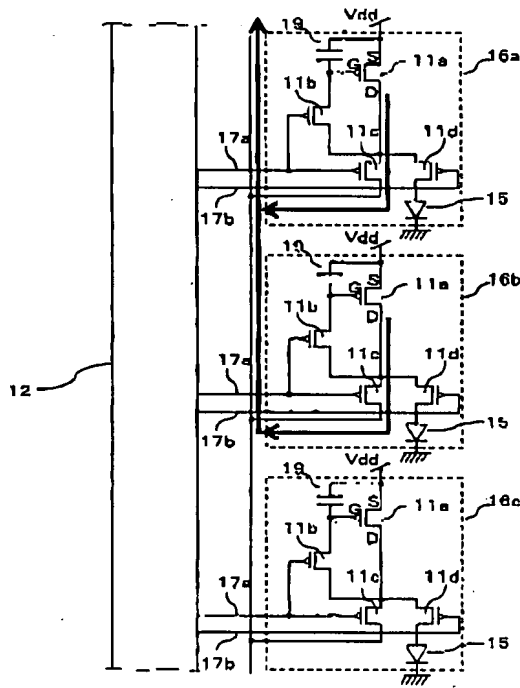
第23図



第24図

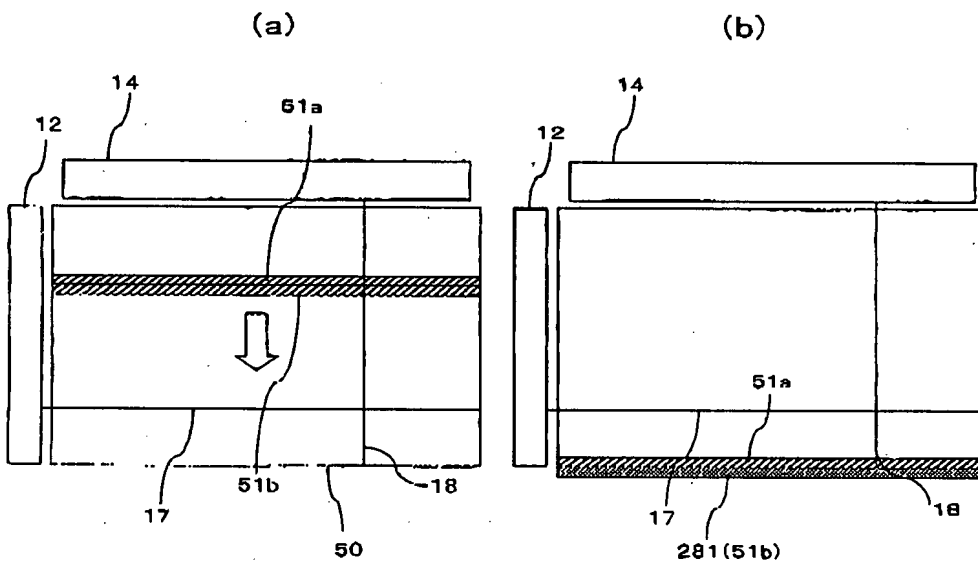


第25図



第26図

281 ダミー画素(行)



第27図

WO 03/027998

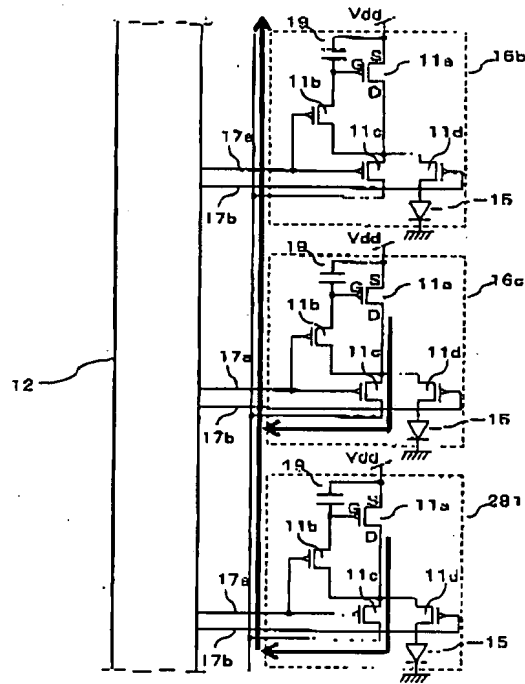
PCT/JP02/09668

WO 03/027998

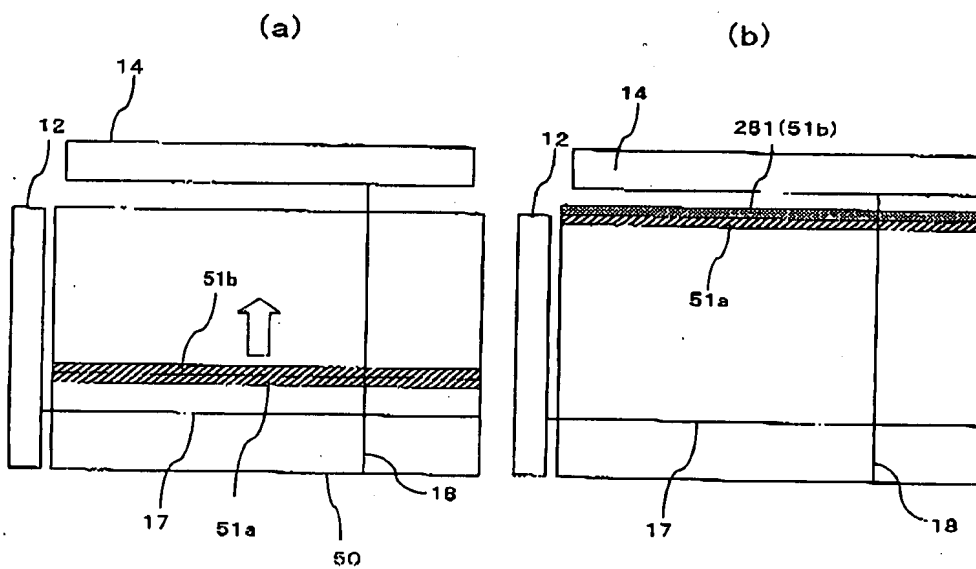
PCT/JP02/09668

26 / 117

27 / 117



第28図



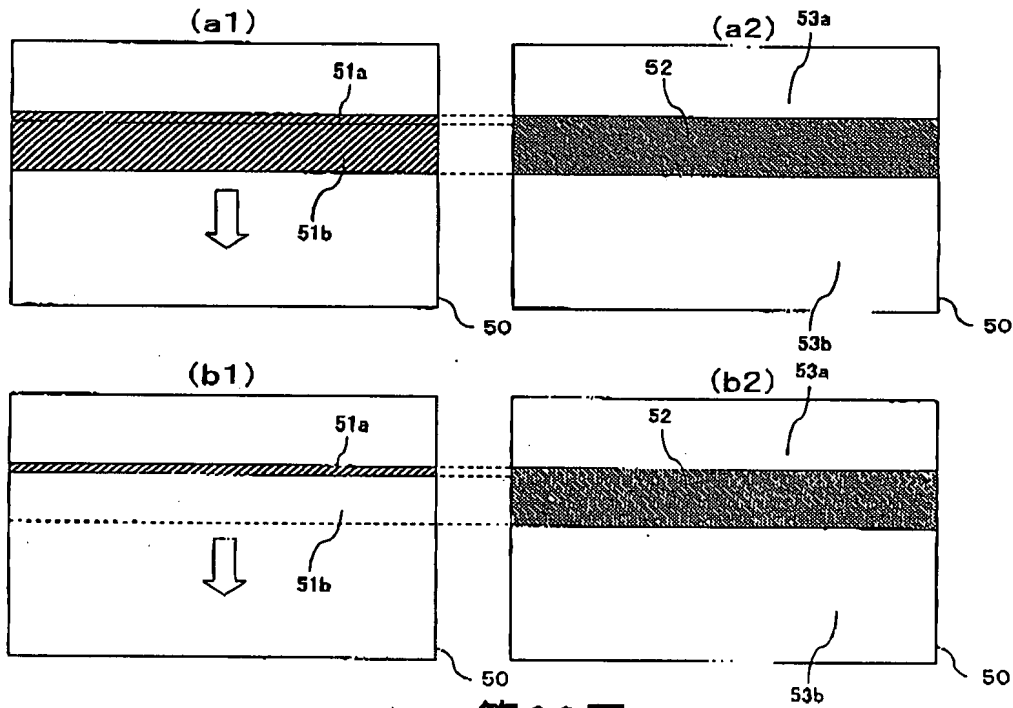
第29図

WO 03/02798

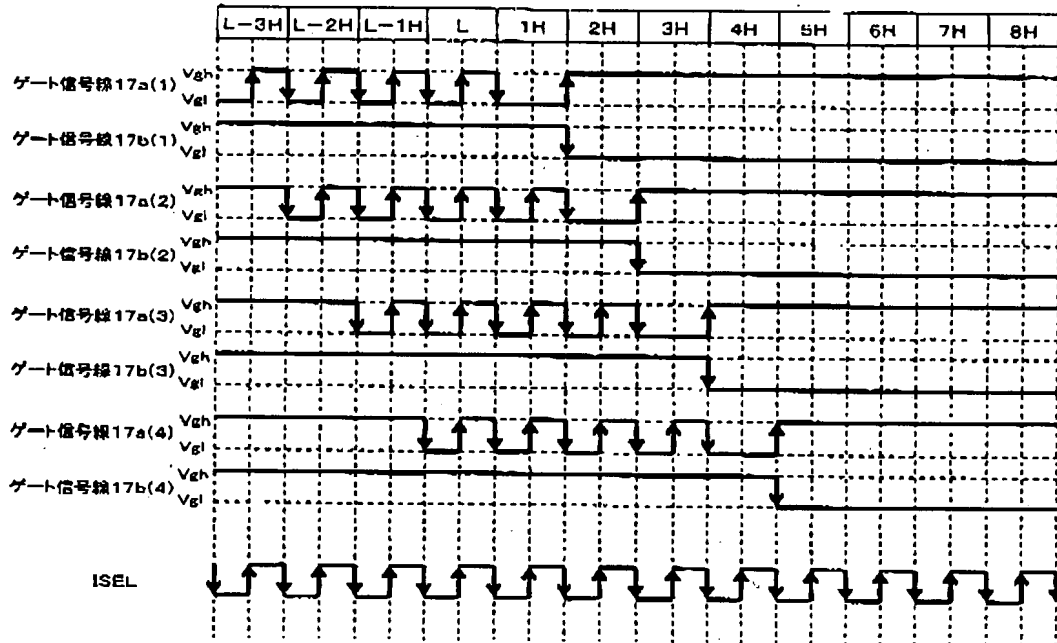
PCT/JP02/09668

WO 03/02798

PCT/JP02/09668



第30図



第31図

WO 03/027998

PCT/JP02/09668

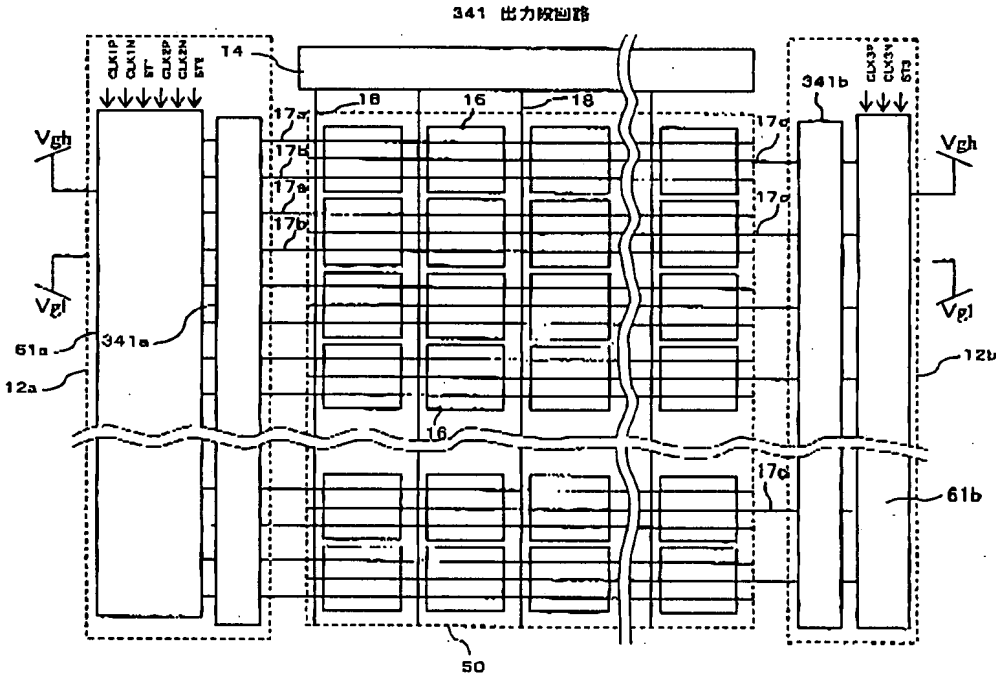
WO 03/027998

PCT/JP02/09668

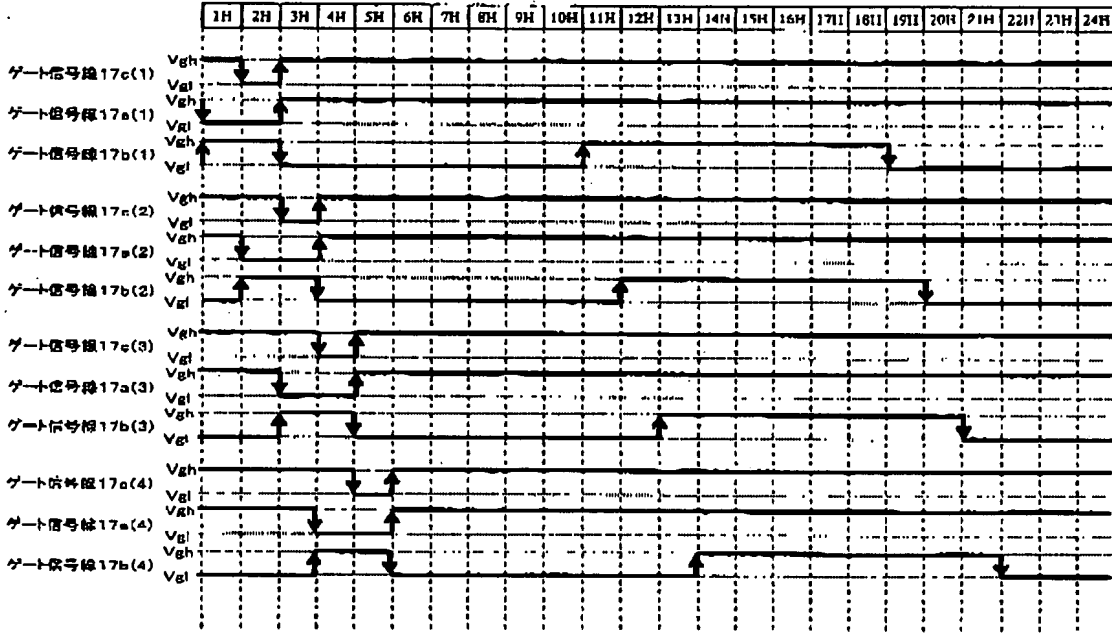
30/  
117

31/  
117





第34図



第35図

WO 03/02798

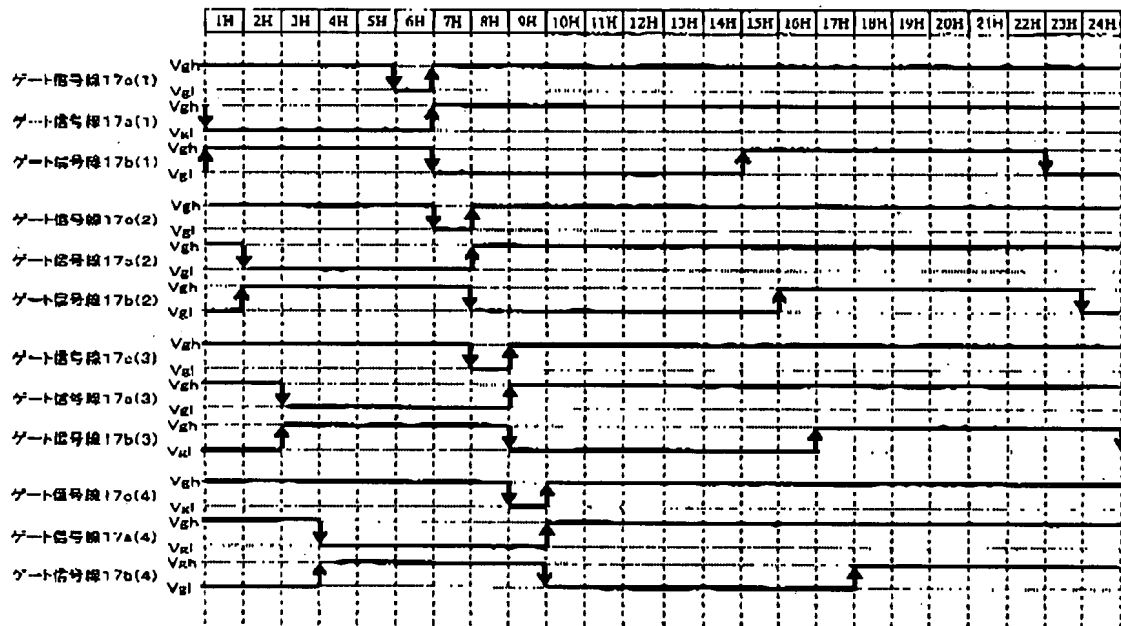
PCT/JP02/0668

WO 03/02798

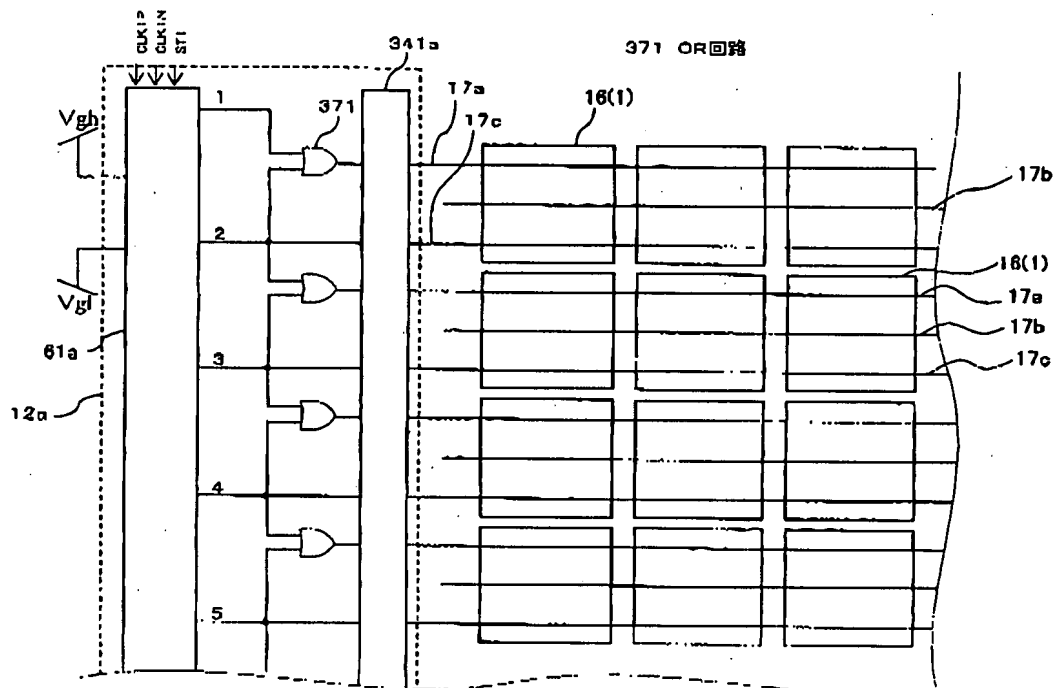
PCT/JP02/0668

34  
/117

35  
/117



第36図



第37図

W/O 03/02/7998

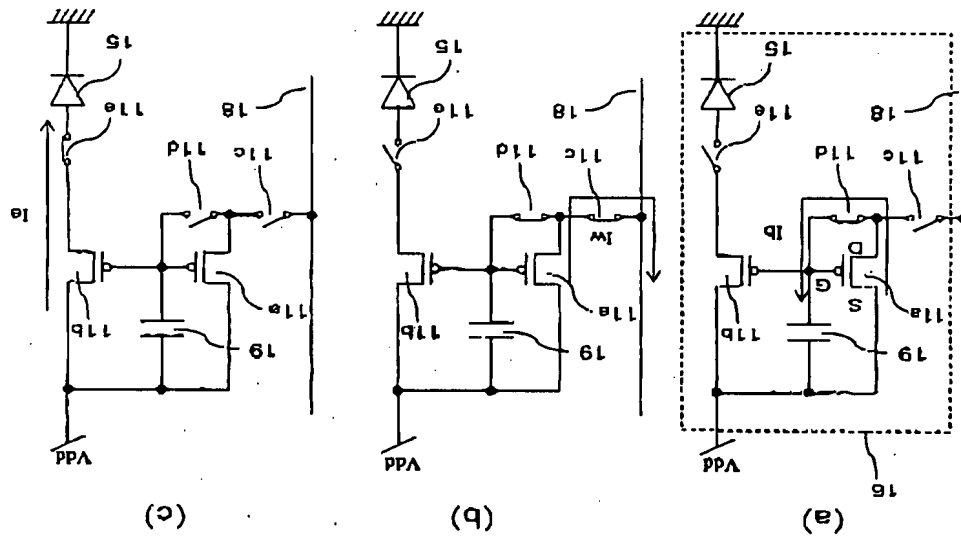
PCT/JPO02/09668

W/O 03/02/7998

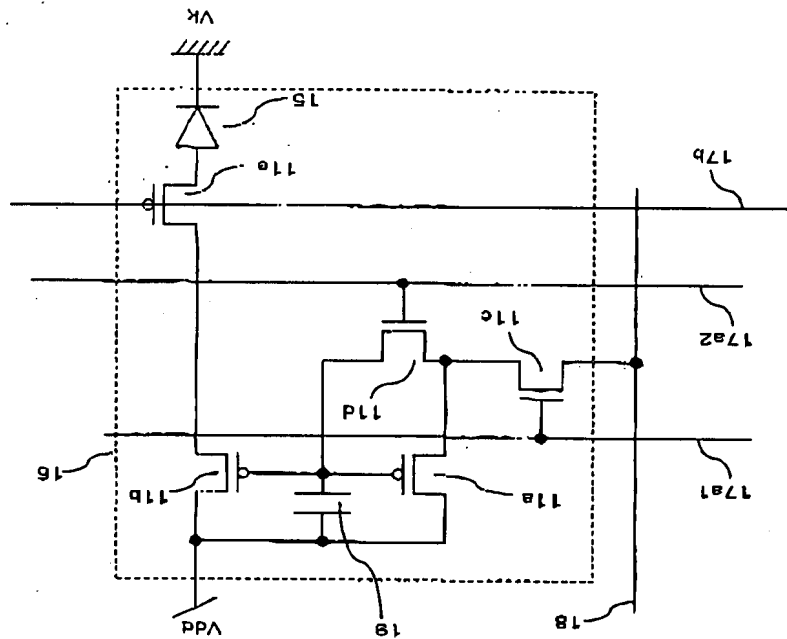
PCT/JPO02/09668

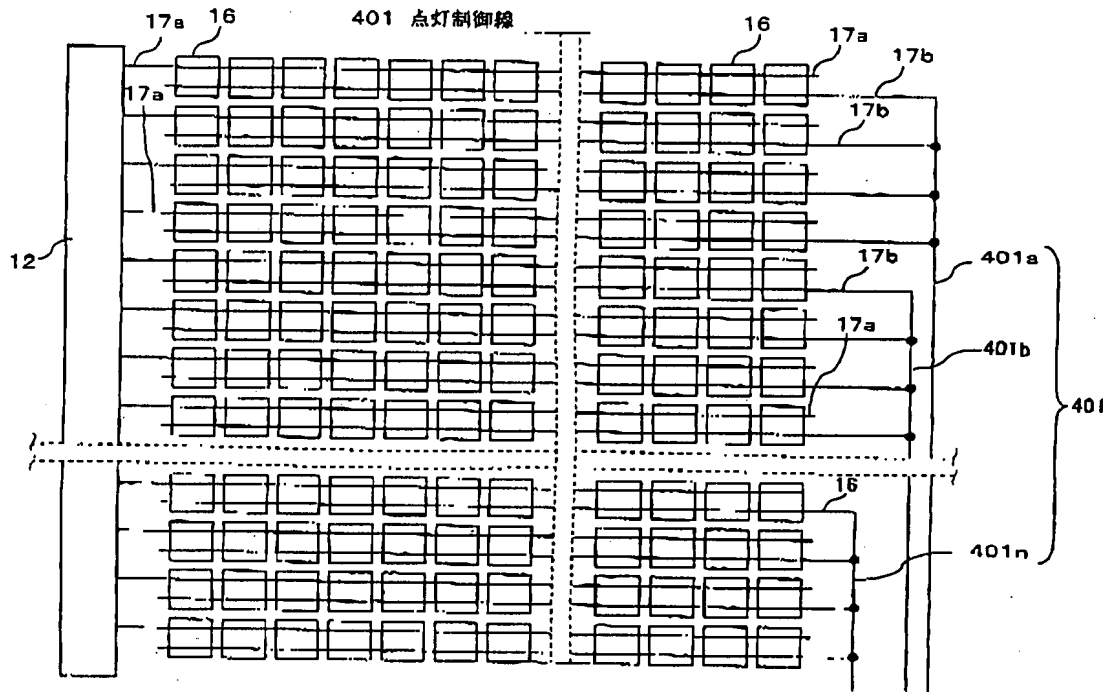


第39图



第38图

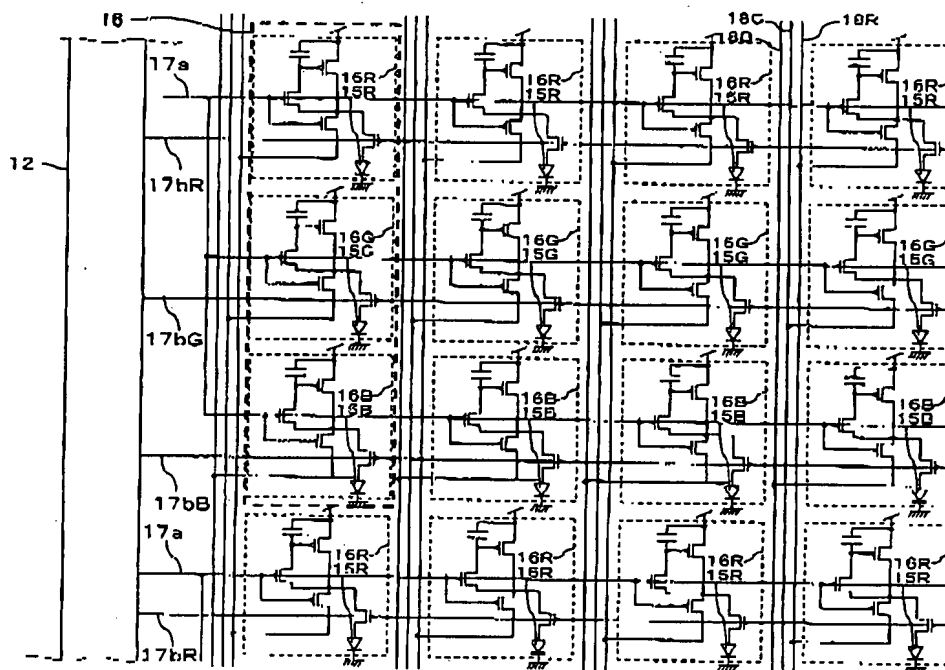




第40図

180 034027998

PCT/JP02/09668

$$\frac{40}{117}$$


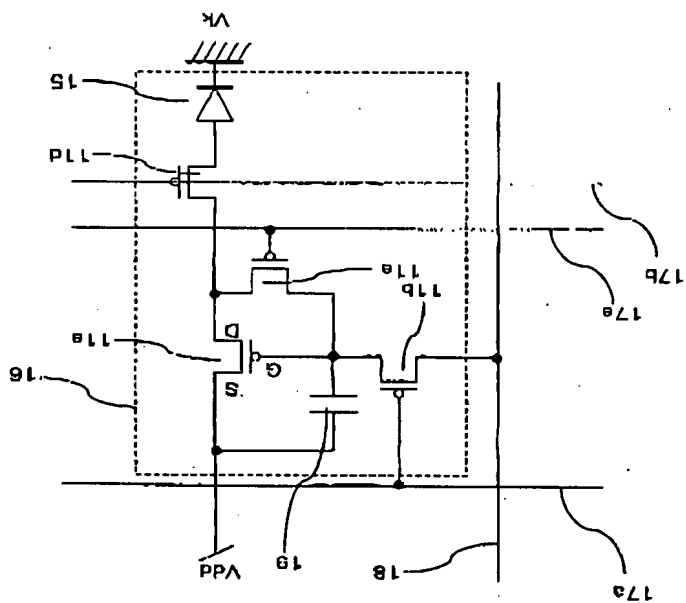
第41図

W.O. 05.017998

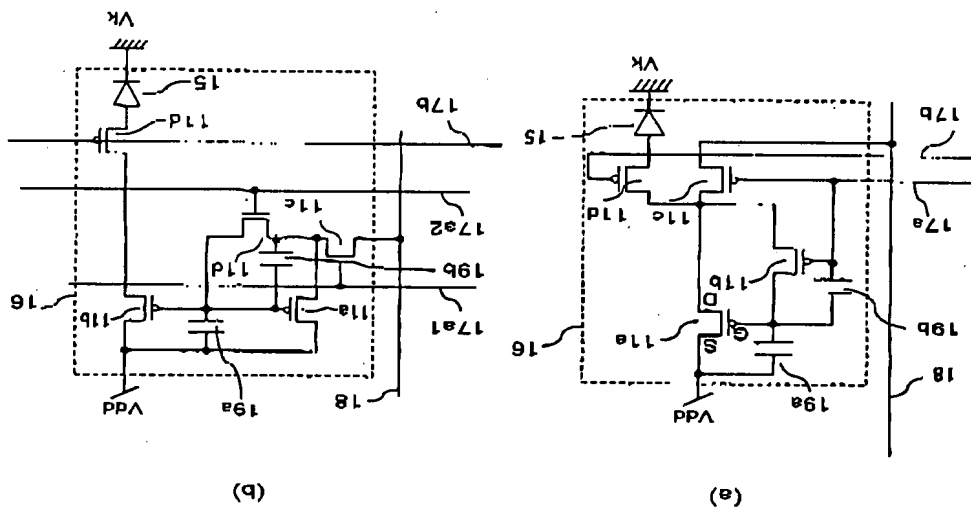
PC1:JP02119668

$$\frac{41}{117}$$

第43圖



第42圖



(b)

(a)

43/117

42/117

PCT/JPO2009668

WO 03/027598

PCT/JPO2009668

WO 03/027598